

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-176114

(P2002-176114A)

(43)公開日 平成14年6月21日(2002.6.21)

(51)IntCl. ⁷	識別記号	F I	テームコード*(参考)	
H 0 1 L 21/8247		H 0 1 L 27/10	4 8 1	5 F 0 8 3
27/10	4 8 1	29/78	3 7 1	5 F 1 0 1
27/115		27/10	4 3 4	
29/788				
29/792				

審査請求 未請求 請求項の数48 O L (全 26 頁)

(21)出願番号 特願2001-272224(P2001-272224)
(22)出願日 平成13年9月7日(2001.9.7)
(31)優先権主張番号 特願2000-291910(P2000-291910)
(32)優先日 平成12年9月26日(2000.9.26)
(33)優先権主張国 日本(JP)

(71)出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72)発明者 松井 法晴
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72)発明者 森 誠一
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(74)代理人 100058479
弁理士 鈴江 武彦 (外6名)

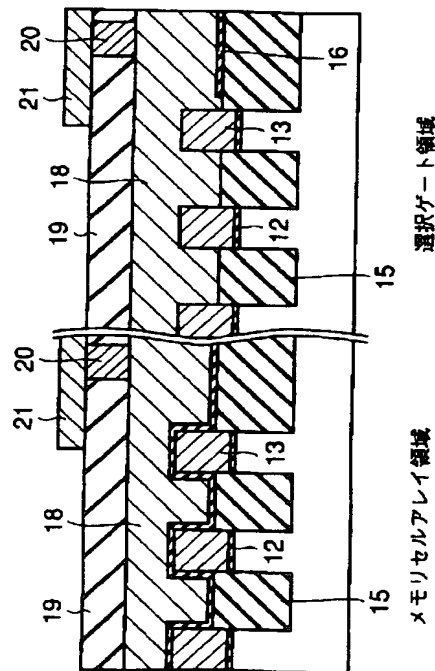
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 メモリセルアレイ領域の微細化を図りつつ選択ゲート領域及び周辺回路領域における抵抗遅延を回避し、かつメモリセルアレイ領域と選択ゲート領域と周辺回路領域とのゲート加工を同時に行う。

【解決手段】 選択ゲート領域の半導体装置は、半導体基板11と、この半導体基板11の素子領域10を分離する素子分離領域15と、素子領域10に第1の絶縁膜12を介して素子分離領域15と自己整合的に形成された第1の電極層13と、この第1の電極層13及び素子分離領域15上に形成され、第1の電極層13の表面の一部を露出する開口部17を有する第2の絶縁膜16と、この第2の絶縁膜16及び開口部17内に形成された第2の電極層18とを具備し、開口部17を介して第1の電極層13と第2の電極層18とが接続されている。



1

【特許請求の範囲】

【請求項 1】 半導体層と、

前記半導体層上に形成された第 1 の絶縁膜と、
 前記第 1 の絶縁膜上に形成された第 1 の電極層と、
 前記第 1 の電極層及び前記第 1 の絶縁膜を貫通して前記
 半導体層内に至るまで形成され、かつ前記第 1 の電極層
 と自己整合的に形成され、素子領域を分離し、素子分離
 絶縁膜からなる素子分離領域と、
 前記第 1 の電極層及び前記素子分離領域上に形成され、
 前記第 1 の電極層の表面を露出する開口部を有する第 2 10
 の絶縁膜と、
 前記第 2 の絶縁膜上及び前記第 1 の電極層の露出された
 前記表面上に形成され、前記開口部を介して前記第 1 の
 電極層と電氣的に接続される第 2 の電極層とを具備する
 ことを特徴とする半導体装置。

【請求項 2】 半導体層と、

前記半導体層上に形成された第 1 の絶縁膜と、
 前記第 1 の絶縁膜上に形成された第 1 の電極層と、
 前記第 1 の電極層及び前記第 1 の絶縁膜を貫通して前記
 半導体層内に至るまで形成され、かつ前記第 1 の電極層 20
 と自己整合的に形成され、素子領域を分離し、素子分離
 絶縁膜からなる素子分離領域と、
 前記第 1 の電極層及び前記素子分離領域上に形成され、
 前記第 1 の電極層の表面を露出する開口部を有する第 2
 の絶縁膜と、
 前記第 2 の絶縁膜上に形成された第 2 の電極層と、
 前記第 2 の電極層上及び前記第 1 の電極層の露出された
 前記表面上に形成され、前記開口部を介して前記第 1 の
 電極層と電氣的に接続される第 3 の電極層とを具備する
 ことを特徴とする半導体装置。

【請求項 3】 前記第 1、第 2 の電極層は、NAND 型
 フラッシュメモリの選択トランジスタのゲート電極であ
 ることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記第 1、第 2、第 3 の電極層は、NA
 ND 型フラッシュメモリの選択トランジスタのゲート電
 極であることを特徴とする請求項 2 記載の半導体装置。

【請求項 5】 前記半導体層と、

前記半導体層上に形成された前記第 1 の絶縁膜と、
 前記第 1 の絶縁膜上に形成された前記第 1 の電極層と、
 前記第 1 の電極層及び前記第 1 の絶縁膜を貫通して前記 40
 半導体層内に至るまで形成され、かつ前記第 1 の電極層
 と自己整合的に形成され、前記素子領域を分離し、前記
 素子分離絶縁膜からなる前記素子分離領域と、
 前記第 1 の電極層及び前記素子分離領域上に形成された
 前記第 2 の絶縁膜と、前記第 2 の絶縁膜上に形成された
 前記第 2 の電極層と
 を具備するメモリセルアレイ領域を備えた半導体装置で
 あって、

前記メモリセルアレイ領域の前記素子分離領域の表面は
 前記第 1 の電極層の表面よりも下に位置することを特徴 50

2

とする請求項 1 記載の半導体装置。

【請求項 6】 前記半導体層と、

前記半導体層上に形成された前記第 1 の絶縁膜と、
 前記第 1 の絶縁膜上に形成された前記第 1 の電極層と、
 前記第 1 の電極層及び前記第 1 の絶縁膜を貫通して前記
 半導体層内に至るまで形成され、かつ前記第 1 の電極層
 と自己整合的に形成され、前記素子領域を分離し、前記
 素子分離絶縁膜からなる前記素子分離領域と、
 前記第 1 の電極層及び前記素子分離領域上に形成された
 前記第 2 の絶縁膜と、前記第 2 の絶縁膜上に形成された
 前記第 2 の電極層と、
 前記第 2 の電極層上に形成された前記第 3 の電極層とを
 具備するメモリセルアレイ領域を備えた半導体装置であ
 って、
 前記メモリセルアレイ領域の前記素子分離領域の表面は
 前記第 1 の電極層の表面よりも下に位置することを特徴
 とする請求項 2 記載の半導体装置。

【請求項 7】 前記メモリセルアレイ領域において、前
 記第 1 の電極層は浮遊ゲートとして機能し、前記第 2 の
 電極層は制御ゲートとして機能することを特徴とする請
 求項 5 記載の半導体装置。

【請求項 8】 前記メモリセルアレイ領域において、前
 記第 1 の電極層は浮遊ゲートとして機能し、前記第 2 及
 び第 3 の電極層は制御ゲートとして機能することを特徴
 とする請求項 6 記載の半導体装置。

【請求項 9】 前記第 1、第 2 の電極層は、メモリセル
 アレイ領域の周辺に形成されている周辺回路領域におけ
 るゲート電極であることを特徴とする請求項 1 記載の半
 導体装置。

【請求項 10】 前記第 1、第 2 の電極層は、メモリセル
 アレイ領域の周辺に形成されている周辺回路領域におけ
 るゲート電極であって、前記周辺回路領域における前
 記第 2 の絶縁膜は全て除去されていることを特徴とする
 請求項 1 記載の半導体装置。

【請求項 11】 前記素子分離領域の上方に位置し、前
 記第 2 の電極層に電氣的に接続された接続部材をさらに
 具備することを特徴とする請求項 1 記載の半導体装置。

【請求項 12】 前記素子分離領域の上方に位置し、前
 記第 3 の電極層に電氣的に接続された接続部材をさらに
 具備することを特徴とする請求項 2 記載の半導体装置。

【請求項 13】 前記第 2 の絶縁膜の存在する前記素子
 領域の上方に位置し、前記第 2 の電極層に電氣的に接続
 された接続部材をさらに具備することを特徴とする請求
 項 1 記載の半導体装置。

【請求項 14】 前記第 2 の電極層に接続部材を介して
 電氣的に接続された配線をさらに具備し、
 前記配線と前記第 1 の電極層とは、前記第 2 の電極層を
 前記素子領域から前記素子分離領域上まで引き出して前
 記第 2 の電極層を介して接続されることを特徴とする請
 求項 1 記載の半導体装置。

3

【請求項 15】 前記第 3 の電極層に接続部材を介して電氣的に接続された配線をさらに具備し、前記配線と前記第 1 の電極層とは、前記第 3 の電極層を前記素子領域から前記素子分離領域上まで引き出して前記第 3 の電極層を介して接続されることを特徴とする請求項 2 記載の半導体装置。

【請求項 16】 前記第 1、第 2 の電極層でゲート電極が形成され、前記ゲート電極がチップ上に複数個配置されている半導体装置であって、前記ゲート電極における前記開口部の幅は等しいことを特徴とする請求項 1 記載の半導体装置。

【請求項 17】 前記第 1、第 2、第 3 の電極層でゲート電極が形成され、前記ゲート電極がチップ上に複数個配置されている半導体装置であって、前記ゲート電極における前記開口部の幅は等しいことを特徴とする請求項 2 記載の半導体装置。

【請求項 18】 前記第 1、第 2 の電極層でゲート電極が形成されている半導体装置であって、前記ゲート電極内に前記開口部が複数個設けられ、これら開口部の幅は等しいことを特徴とする請求項 1 記載の半導体装置。

【請求項 19】 前記第 1、第 2、第 3 の電極層でゲート電極が形成されている半導体装置であって、前記ゲート電極内に前記開口部が複数個設けられ、これら開口部の幅は等しいことを特徴とする請求項 2 記載の半導体装置。

【請求項 20】 前記開口部は交差することを特徴とする請求項 18 又は 19 記載の半導体装置。

【請求項 21】 前記開口部間の距離は等しいことを特徴とする請求項 18 又は 19 記載の半導体装置。

【請求項 22】 前記第 1 及び第 2 の電極層からなる NAND 型フラッシュメモリの複数の選択トランジスタと、前記第 1 及び第 2 の電極層からなる周辺回路トランジスタとを備えた半導体装置であって、前記複数の選択トランジスタにおける前記第 2 の絶縁膜はそれぞれ前記開口部を有し、前記周辺回路トランジスタにおける前記第 2 の絶縁膜は複数の前記開口部を有し、前記複数の選択トランジスタの前記開口部間の第 1 の間隔と、前記周辺回路トランジスタ内の前記複数の開口部間の第 2 の間隔とは等しいことを特徴とする請求項 1 記載の半導体装置。

【請求項 23】 前記第 1、第 2 及び第 3 の電極層からなる NAND 型フラッシュメモリの複数の選択トランジスタと、前記第 1、第 2 及び第 3 の電極層からなる周辺回路トランジスタとを備えた半導体装置であって、前記複数の選択トランジスタにおける前記第 2 の絶縁膜はそれぞれ前記開口部を有し、前記周辺回路トランジスタにおける前記第 2 の絶縁膜は複数の前記開口部を有し、

4

前記複数の選択トランジスタの前記開口部間の第 1 の間隔と、前記周辺回路トランジスタ内の前記複数の開口部間の第 2 の間隔とは等しいことを特徴とする請求項 2 記載の半導体装置。

【請求項 24】 前記第 2 の間隔は、前記第 1 の間隔を基準にして規定されることを特徴とする請求項 2 又は 23 記載の半導体装置。

【請求項 25】 前記第 1、第 2 の電極層でゲート電極が形成され、このゲート電極に前記開口部が設けられた半導体装置であって、前記開口部は、前記ゲート電極のチャネル長の方向において、前記素子領域上から前記素子分離領域上にまで延在させることを特徴とする請求項 1 記載の半導体装置。

【請求項 26】 前記第 1、第 2、第 3 の電極層でゲート電極が形成され、このゲート電極に前記開口部が設けられた半導体装置であって、前記開口部は、前記ゲート電極のチャネル長の方向において、前記素子領域上から前記素子分離領域上にまで延在させることを特徴とする請求項 2 記載の半導体装置。

【請求項 27】 前記第 2 の電極層の堆積時の膜厚は、前記開口部の幅の $1/2$ 以上であることを特徴とする請求項 1 記載の半導体装置。

【請求項 28】 前記第 3 の電極層の堆積時の膜厚は、前記開口部の幅の $1/2$ 以上であることを特徴とする請求項 2 記載の半導体装置。

【請求項 29】 前記第 2 の電極層は、前記第 1 の電極層よりも低抵抗な層であり、高融点金属層又は高融点金属シリサイド層であることを特徴とする請求項 1 記載の半導体装置。

【請求項 30】 前記第 2、第 3 の電極層は、前記第 1 の電極層よりも低抵抗な層であり、高融点金属層又は高融点金属シリサイド層であることを特徴とする請求項 2 記載の半導体装置。

【請求項 31】 前記第 2 の絶縁膜は、シリコン窒化膜を含む複合絶縁膜であることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 32】 前記第 1、第 2 の電極層でゲート電極が形成され、このゲート電極の端部に前記第 2 の絶縁膜が存在することを特徴とする請求項 1 記載の半導体装置。

【請求項 33】 前記第 1、第 2、第 3 の電極層でゲート電極が形成され、このゲート電極の端部に前記第 2 の絶縁膜が存在することを特徴とする請求項 2 記載の半導体装置。

【請求項 34】 浮遊ゲートとして機能する第 1 の電極層と、制御ゲートとして機能する第 2 の電極層と有するメモリトランジスタを備えたメモリセルアレイ領域と、メモリセルアレイ領域と隣接する選択トランジスタを備えた選択ゲート領域と、

前記メモリセルアレイ領域の周辺に位置する周辺回路領

5

域とを具備するNAND型フラッシュメモリの半導体装置において、

前記メモリセルアレイ領域、前記選択ゲート領域及び前記周辺回路領域において共通する半導体層と、

前記メモリセルアレイ領域、前記選択ゲート領域及び前記周辺回路領域において、前記半導体層上に共通して形成された第1の絶縁膜と、

前記メモリセルアレイ領域、前記選択ゲート領域及び前記周辺回路領域において、前記第1の絶縁膜上に共通して形成された第1の電極層と、

前記メモリセルアレイ領域、前記選択ゲート領域及び前記周辺回路領域において前記第1の電極層及び前記第1の絶縁膜を貫通して前記半導体層内に至るまで形成され、かつ前記第1の電極層と自己整合的に形成され、素子領域を分離し、素子分離絶縁膜からなる素子分離領域と、

前記メモリセルアレイ領域、前記選択ゲート領域及び前記周辺回路領域において前記第1の電極層及び前記素子分離領域上に共通して形成され、前記選択ゲート領域及び前記周辺回路領域においては前記第1の電極層の表面を露出する開口部を有する第2の絶縁膜と、

前記メモリセルアレイ領域、前記選択ゲート領域及び前記周辺回路領域において前記第2の絶縁膜上及び前記第1の電極層の露出された前記表面上に共通して形成され、前記開口部を介して前記第1の電極層と電氣的に接続される第2の電極層とを具備することを特徴とする半導体装置。

【請求項35】 浮遊ゲートとして機能する第1の電極層と、制御ゲートとして機能する第2の電極層と有するメモリトランジスタを備えたメモリセルアレイ領域と、メモリセルアレイ領域と隣接する選択トランジスタを備えた選択ゲート領域と、前記メモリセルアレイ領域の周辺に位置する周辺回路領域と

を具備するNAND型フラッシュメモリの半導体装置において、

前記メモリセルアレイ領域、前記選択ゲート領域及び前記周辺回路領域において共通する半導体層と、

前記メモリセルアレイ領域、前記選択ゲート領域及び前記周辺回路領域において、前記半導体層上に共通して形成された第1の絶縁膜と、

前記メモリセルアレイ領域、前記選択ゲート領域及び前記周辺回路領域において、前記第1の絶縁膜上に共通して形成された第1の電極層と、

前記メモリセルアレイ領域、前記選択ゲート領域及び前記周辺回路領域において前記第1の電極層及び前記第1の絶縁膜を貫通して前記半導体層内に至るまで形成され、かつ前記第1の電極層と自己整合的に形成され、素子領域を分離し、素子分離絶縁膜からなる素子分離領域と、

6

前記メモリセルアレイ領域及び前記選択ゲート領域において前記第1の電極層及び前記素子分離領域上に共通して形成され、前記選択ゲート領域においては前記第1の電極層の表面から前記第1の電極層に隣接して形成された前記素子分離領域の表面の一部までを露出する開口部を有する第2の絶縁膜と、

前記メモリセルアレイ領域、前記選択ゲート領域及び前記周辺回路領域において前記第2の絶縁膜上及び前記第1の電極層の露出された前記表面上に共通して形成され、前記開口部を介して前記第1の電極層と電氣的に接続される第2の電極層とを具備することを特徴とする半導体装置。

【請求項36】 メモリセルアレイ領域に隣接して配置される選択トランジスタを設けた選択ゲート領域における半導体装置の製造方法であって、

半導体層上に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に第1の電極層を形成する工程と、

前記第1の電極層及び前記第1の絶縁膜を貫通し前記半導体層内に至るまで素子分離絶縁膜からなる素子分離領域を形成し、素子領域を分離する工程と、

前記素子分離領域及び前記第1の電極層上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜を選択的に除去し、前記第1の電極層の表面を露出する開口部を形成する工程と、

前記第2の絶縁膜及び前記第1の電極層の露出された前記表面上に第2の電極層を形成する工程と、

前記第1の電極層、前記第2の絶縁膜及び前記第2の電極層を選択的に除去し、ゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項37】 メモリセルアレイ領域に隣接して配置される選択トランジスタを設けた選択ゲート領域における半導体装置の製造方法であって、

半導体層上に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に第1の電極層を形成する工程と、

前記第1の電極層及び前記第1の絶縁膜を貫通し前記半導体層内に至るまで素子分離絶縁膜からなる素子分離領域を形成し、素子領域を分離する工程と、

前記素子分離領域及び前記第1の電極層上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上に第2の電極層を形成する工程と、

前記第2の電極層及び前記第2の絶縁膜を選択的に除去し、前記第1の電極層の表面を露出する開口部を形成する工程と、

前記第2の電極層及び前記第1の電極層の露出された前記表面上に第3の電極層を形成する工程と、

前記第1の電極層、前記第2の絶縁膜、前記第2の電極層及び前記第3の電極層を選択的に除去し、ゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項38】 メモリセルアレイ領域に隣接して配置

7

される選択トランジスタを設けた選択ゲート領域における半導体装置の製造方法であって、

半導体層上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に第 1 の電極層を形成する工程と、

前記第 1 の電極層及び前記第 1 の絶縁膜を貫通し前記半導体層内に至るまで素子分離絶縁膜からなる素子分離領域を形成し、素子領域を分離する工程と、

前記素子分離領域及び前記第 1 の電極層上に第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜上に第 2 の電極層を形成する工程と、 10

前記第 2 の電極層上に第 1 のマスク層を形成する工程と、

前記第 1 のマスク層に一对の対向する露出した側面を有する溝を形成し、前記第 2 の電極層の表面の一部を露出する工程と、

前記溝の露出した前記側面に第 2 のマスク層からなる側壁を形成する工程と、

前記第 1、第 2 のマスク層を用いて前記第 2 の電極層及び前記第 2 の絶縁膜を除去して開口部を形成し、前記第 1 の電極層の表面を露出する工程と、 20

前記第 1、第 2 のマスク層を除去する工程と、

前記第 2 の電極層及び前記第 1 の電極層の露出された前記表面上に第 3 の電極層を形成する工程と、

前記第 1 の電極層、前記第 2 の絶縁膜、前記第 2 の電極層及び前記第 3 の電極層を選択的に除去し、ゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 39】 前記ゲート電極の形成の際、前記ゲート電極の端部に前記第 2 の絶縁膜が存在することを特徴とする請求項 36 乃至 38 のいずれか 1 項に記載の半導体装置の製造方法。 30

【請求項 40】 前記素子分離領域を形成した後、前記素子分離絶縁膜の上部を除去し、前記素子分離絶縁膜の表面を前記第 1 の電極層の表面よりも下に位置させることを特徴とする請求項 36 乃至 38 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 41】 前記素子分離領域の上方に前記第 2 の電極層に電氣的に接続する接続部材を形成する工程をさらに含むことを特徴とする請求項 36 記載の半導体装置の製造方法。

【請求項 42】 前記素子分離領域の上方に前記第 3 の電極層に電氣的に接続する接続部材を形成する工程をさらに含むことを特徴とする請求項 37 又は 38 記載の半導体装置の製造方法。

【請求項 43】 前記第 2 の絶縁膜の存在する前記素子領域の上方に前記第 2 の電極層に電氣的に接続する接続部材を形成する工程をさらに含むことを特徴とする請求項 36 記載の半導体装置の製造方法。

【請求項 44】 前記第 2 の絶縁膜の存在する前記素子領域の上方に前記第 3 の電極層に電氣的に接続する接続 50

8

部材を形成する工程をさらに含むことを特徴とする請求項 37 又は 38 記載の半導体装置の製造方法。

【請求項 45】 前記第 2 の電極層は、前記開口部の幅の $1/2$ 以上の膜厚で形成されることを特徴とする請求項 36 記載の半導体装置の製造方法。

【請求項 46】 前記第 3 の電極層は、前記開口部の幅の $1/2$ 以上の膜厚で形成されることを特徴とする請求項 37 又は 38 記載の半導体装置の製造方法。

【請求項 47】 前記第 2 の電極層を形成した後、この第 2 の電極層の表面を平坦にすることを特徴とする請求項 36 記載の半導体装置の製造方法。

【請求項 48】 前記第 3 の電極層を形成した後、この第 3 の電極層の表面を平坦にすることを特徴とする請求項 37 又は 38 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体装置及びその製造方法に係わり、特に、浮遊ゲートと制御ゲートとを有する不揮発性のメモリトランジスタと、このメモリトランジスタに近接して配置された選択トランジスタと、周辺回路とを、同一チップ上に搭載した半導体装置のゲート構造に関する。

【0002】

【従来の技術】浮遊ゲートと制御ゲートとを有するメモリトランジスタと、メモリトランジスタに近接して配置された選択トランジスタと、メモリトランジスタ及び選択トランジスタを駆動する周辺回路とを、同一チップ上に備えたフラッシュメモリがある。代表的なフラッシュメモリとしては、NAND 型フラッシュメモリと呼ばれるものがある。この NAND 型フラッシュメモリは、複数のメモリトランジスタが直列に接続され、両端部のメモリトランジスタに近接させて選択トランジスタが配置され、メモリトランジスタや選択トランジスタを駆動する周辺回路トランジスタが搭載されている。尚、メモリトランジスタを設けた領域をメモリセルアレイ領域と呼び、選択トランジスタを設けた領域を選択ゲート領域と呼び、周辺回路トランジスタを設けた領域を周辺回路領域と呼ぶ。

【0003】このフラッシュメモリでは、例えば、半導体層上にゲート絶縁膜が形成され、このゲート絶縁膜上にメモリトランジスタの浮遊ゲートとなるポリシリコン膜が堆積され、その後に素子分離領域が形成されるという方法が用いられる。この場合、選択ゲート領域と周辺回路領域の少なくとも一部分には、メモリセルアレイ領域と同様に、浮遊ゲートと制御ゲートとからなる二層のゲート電極層が存在する。この際、選択トランジスタと周辺回路トランジスタは、浮遊ゲートを引き出して上層配線と電氣的に接続する必要がある。このような半導体装置の従来例を以下に説明する。

【0004】図 46 (a) は、第 1 の従来技術による半

9

導体装置のメモリセルアレイ領域及び選択ゲート領域の平面図を示す。図46(b)は、第1の従来技術による半導体装置の周辺回路領域の平面図を示す。図47

(a)は、図46(a)、図46(b)に示すXXXXVIIA-XXXXVIIA線に沿った半導体装置の断面図を示す。図47(b)は、図46(a)に示すXXXXVII B-XXXXVII B線に沿った半導体装置の断面図を示す。このような第1の従来技術は、特開平11-163304号公報で開示されている。

【0005】図46(a)、図46(b)、図47(a)、図47(b)に示すように、半導体層11上に第1の絶縁膜12が形成され、この第1の絶縁膜12上にポリシリコンからなる第1の浮遊ゲート電極層13aが形成される。次に、素子分離溝が形成され、この素子分離溝が絶縁膜により埋め込まれる。この絶縁膜を第1の浮遊ゲート電極層13aの表面が露出するまで平坦化することにより、素子分離領域15が形成される。次に、第1の浮遊ゲート電極層13a及び素子分離領域15上にポリシリコンからなる第2の浮遊ゲート電極層13bが形成され、この第2の浮遊ゲート電極層13bがリソグラフィ及びエッチングによりパターニングされる。これにより、メモリセルアレイ領域の素子分離領域15上に、第2の浮遊ゲート電極層13bを分離する開口部50が形成される。次に、第2の浮遊ゲート電極層13b及び素子分離領域15上に第2の絶縁膜16が形成され、この第2の絶縁膜16上に制御ゲート電極層18が形成される。この制御ゲート電極層18、第2の絶縁膜16及び第1、第2の浮遊ゲート電極層13a、13bがパターニングされた後、半導体層11の全面に第3の絶縁膜19が形成される。この第3の絶縁膜19内にコンタクトホール20が形成された後、このコンタクトホール20に接続する配線21が形成される。その結果、メモリセルアレイ領域では配線21と制御ゲート電極層18とがコンタクトホール20で接続され、選択ゲート領域及び周辺回路領域では配線21と第1、第2の浮遊ゲート電極層13a、13bとがコンタクトホール20で接続される。

【0006】上記第1の従来技術による半導体装置は、第1、第2の浮遊ゲート電極層13a、13bからなる二層構造の浮遊ゲートを有する。この浮遊ゲートにおいて、第1の浮遊ゲート電極層13aは素子分離領域15と自己整合的に形成されるが、第2の浮遊ゲート電極層13bは素子分離領域15上に引き出される。しかしながら、このような第1の従来技術では、次のような問題があった。

【0007】まず、メモリセルアレイ領域においては、図47(a)に示すように、開口部50が第2の絶縁膜16で埋まらないように開口部50の幅Pを設定する必要と、開口部50と素子領域10とのリソグラフィでの合わせ余裕量Qを確保する必要とがあった。しかし、開

10

口部50のパターニングにおけるフォトリソグラフィーの解像限界から、開口部50の微細調整は困難であった。このため、ある程度以上の微細化が困難となり、メモリセルの微細化を図ることが難しかった。

【0008】一方、周辺回路領域においては、コンタクトホール20が素子分離領域15上に形成される構造であるため、素子領域にダメージが生じることは回避できる。しかし、第2の浮遊ゲート電極層13bとコンタクトホール20との接続部から素子領域までの距離が長い。従って、通常、第2の浮遊ゲート電極層13bは高抵抗の電極材料（例えばポリシリコン）で形成されるため、抵抗による遅延が大きくなり、素子の性能が低下する。また、高抵抗の第2の浮遊ゲート電極層13bが素子分離領域15上に引き出されていると、素子分離領域15の絶縁膜を介して半導体層11と浮遊ゲートとが容量結合するため、RC遅延の増大につながる。

【0009】特に、NAND型フラッシュメモリの選択トランジスタの場合、上述するRC遅延の増大が大きな問題となる。第2の浮遊ゲート電極層13bへのコンタクトは必要に応じて、メモリセルアレイ内でいくつかのセル毎に形成するが、このコンタクト部分は面積を必要とし、メモリセルアレイの面積を増大させる。また、メモリセルアレイの一部でしかコンタクトホール20を形成できないため、コンタクトホール20からトランジスタまでは、抵抗の高いポリシリコンからなる第2の浮遊ゲート電極層13bで接続される。従って、コンタクトホール20から遠い位置にあるトランジスタまでのRC遅延時間の問題が顕著となる。そして、選択トランジスタの遅延時間の増大は、メモリセルの読み出し速度に悪影響を与えてしまう。

【0010】図48(a)は、第2の従来技術による半導体装置のメモリセルアレイ領域及び選択ゲート領域の平面図を示す。図48(b)は、第2の従来技術による半導体装置の周辺回路領域の平面図を示す。図49は、図48(a)、図48(b)に示すXXXXIXA-XXXXIXA線に沿った半導体装置の断面図を示す。図50は、図48(a)に示すXXXXIXB-XXXXIXB線に沿った半導体装置の断面図を示す。この第2の従来技術は、第1の従来技術で示したようなメモリセル部の微細化が困難であるという問題を回避したものである。

【0011】図49、図50に示すように、半導体層11上に第1の絶縁膜12が形成され、この第1の絶縁膜12上に浮遊ゲート電極層13が形成される。次に、素子分離溝が形成され、この素子分離溝が絶縁膜により埋め込まれる。この絶縁膜を浮遊ゲート電極層13の表面が露出するまで平坦化することにより、素子分離領域15が形成される。次に、メモリセルアレイ領域及び選択ゲート領域における素子分離領域15の上部が除去され、メモリセルアレイ領域及び選択ゲート領域における素子分離領域15の上面が浮遊ゲート電極層13の上面

11

よりも下に位置される。その後、浮遊ゲート電極層13及び素子分離領域15上に第2の絶縁膜16が形成され、周辺回路領域及び選択ゲート領域における第2の絶縁膜16が除去される。次に、第2の絶縁膜16、浮遊ゲート電極層13及び素子分離領域15上に制御ゲート電極層18が形成され、この制御ゲート電極層18、第2の絶縁膜16及び浮遊ゲート電極層13がパターンニングされる。次に、半導体層11の全面に第3の絶縁膜19が形成され、この第3の絶縁膜19内にコンタクトホール20が形成される。次に、コンタクトホール20に接続する配線21が形成される。

【0012】上記第2の従来技術による半導体装置では、第1の従来技術で示したリソグラフィの合わせ余裕量Qが不要となるため、メモリセルを微細化できる。また、選択ゲート領域と周辺回路領域の第2の絶縁膜16を除去した後に制御ゲート電極層18を堆積するため、素子領域10上におきのみ浮遊ゲートが残るように分断されても、コンタクトホール20の位置の制限を無くすることができる。しかしながら、このような第2の従来技術では、次のような問題があった。

【0013】まず、メモリセルアレイ領域におけるゲートは浮遊ゲート電極層13と制御ゲート電極層18との間に第2の絶縁膜16が介在しているのに対し、選択ゲート領域及び周辺回路領域におけるゲートは浮遊ゲート電極層13と制御ゲート電極層18との間に第2の絶縁膜16が介在しない。つまり、メモリセルアレイ領域におけるゲートと、選択ゲート領域及び周辺回路領域におけるゲートとの積層構造が異なっている。このため、ゲート加工の際、メモリセルアレイ領域と選択ゲート領域及び周辺回路領域とで異なったエッチング条件にする必要がある。従って、メモリセルアレイ領域と選択ゲート領域及び周辺回路領域とのゲート加工を同時に行うことができないという問題があった。

【0014】また、メモリセルアレイ領域と選択ゲート領域及び周辺回路領域とのゲート加工を同時に行うことができないと、このメモリセルアレイ領域と選択ゲート領域及び周辺回路領域との境界部に電極層が残ったり、あるいは2回のエッチングで半導体層が掘れてしまうのを防ぐために十分な余裕領域をとる必要がでてきたりする。このため、ゲート加工の際、積層構造が異なるメモリセルアレイ領域と選択ゲート領域及び周辺回路領域とが共に正確に加工できるためには、境界部に各種余裕をとる必要があり、チップ面積の増大を招いてしまう。特に、図48(a)に示すように、NAND型フラッシュメモリの構造では、メモリセルアレイの集積度を上げるために、メモリセルと選択トランジスタの間隔Dをできるだけ小さくすることが必要であり、境界部に余裕を設けると集積度が著しく低下してしまう。

【0015】

【発明が解決しようとする課題】以上のように、上記第

12

1、第2の従来技術による半導体装置において、メモリセルアレイ領域の微細化を図りつつ選択ゲート領域及び周辺回路領域における抵抗遅延を回避することは困難であった。さらに、メモリセルアレイ領域と選択ゲート領域と周辺回路領域とのゲート加工を同時に行うことは非常に困難であった。

【0016】本発明は上記課題を解決するためになされたものであり、その目的とするところは、メモリセルアレイ領域の微細化を図りつつ選択ゲート領域及び周辺回路領域における抵抗遅延を回避し、かつメモリセルアレイ領域と選択ゲート領域と周辺回路領域とのゲート加工を同時に行うことが可能な半導体装置及びその製造方法を提供することにある。

【0017】

【課題を解決するための手段】本発明は、前記目的を達成するために以下に示す手段を用いている。

【0018】本発明の第1の視点による半導体装置は、半導体層と、前記半導体層上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第1の電極層と、前記第1の電極層及び前記第1の絶縁膜を貫通して前記半導体層内に至るまで形成され、かつ前記第1の電極層と自己整合的に形成され、素子領域を分離し、素子分離絶縁膜からなる素子分離領域と、前記第1の電極層及び前記素子分離領域上に形成され、前記第1の電極層の表面を露出する開口部を有する第2の絶縁膜と、前記第2の絶縁膜上及び前記第1の電極層の露出された前記表面上に形成され、前記開口部を介して前記第1の電極層と電気的に接続される第2の電極層とを具備する。

【0019】本発明の第2の視点による半導体装置は、半導体層と、前記半導体層上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第1の電極層と、前記第1の電極層及び前記第1の絶縁膜を貫通して前記半導体層内に至るまで形成され、かつ前記第1の電極層と自己整合的に形成され、素子領域を分離し、素子分離絶縁膜からなる素子分離領域と、前記第1の電極層及び前記素子分離領域上に形成され、前記第1の電極層の表面を露出する開口部を有する第2の絶縁膜と、前記第2の絶縁膜上に形成された第2の電極層と、前記第2の電極層上及び前記第1の電極層の露出された前記表面上に形成され、前記開口部を介して前記第1の電極層と電気的に接続される第3の電極層とを具備する。

【0020】本発明の第3の視点による半導体装置の製造方法は、メモリセルアレイ領域に隣接して配置される選択トランジスタを設けた選択ゲート領域における半導体装置の製造方法であって、半導体層上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第1の電極層を形成する工程と、前記第1の電極層及び前記第1の絶縁膜を貫通し前記半導体層内に至るまで素子分離絶縁膜からなる素子分離領域を形成し、素子領域を分離する工程と、前記素子分離領域及び前記第1の電極層上に第2

13

の絶縁膜を形成する工程と、前記第2の絶縁膜を選択的に除去し、前記第1の電極層の表面を露出する開口部を形成する工程と、前記第2の絶縁膜及び前記第1の電極層の露出された前記表面上に第2の電極層を形成する工程と、前記第1の電極層、前記第2の絶縁膜及び前記第2の電極層を選択的に除去し、ゲート電極を形成する工程とを含む。

【0021】本発明の第4の視点による半導体装置の製造方法は、メモリセルアレイ領域に隣接して配置される選択トランジスタを設けた選択ゲート領域における半導体装置の製造方法であって、半導体層上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第1の電極層を形成する工程と、前記第1の電極層及び前記第1の絶縁膜を貫通し前記半導体層内に至るまで素子分離絶縁膜からなる素子分離領域を形成し、素子領域を分離する工程と、前記素子分離領域及び前記第1の電極層上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に第2の電極層を形成する工程と、前記第2の電極層及び前記第2の絶縁膜を選択的に除去し、前記第1の電極層の表面を露出する開口部を形成する工程と、前記第2の電極層及び前記第1の電極層の露出された前記表面上に第3の電極層を形成する工程と、前記第1の電極層、前記第2の絶縁膜、前記第2の電極層及び前記第3の電極層を選択的に除去し、ゲート電極を形成する工程とを含む。

【0022】本発明の第5の視点による半導体装置の製造方法は、メモリセルアレイ領域に隣接して配置される選択トランジスタを設けた選択ゲート領域における半導体装置の製造方法であって、半導体層上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第1の電極層を形成する工程と、前記第1の電極層及び前記第1の絶縁膜を貫通し前記半導体層内に至るまで素子分離絶縁膜からなる素子分離領域を形成し、素子領域を分離する工程と、前記素子分離領域及び前記第1の電極層上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に第2の電極層を形成する工程と、前記第2の電極層上に第1のマスク層を形成する工程と、前記第1のマスク層に一对の対向する露出した側面を有する溝を形成し、前記第2の電極層の表面の一部を露出する工程と、前記溝の露出した前記側面に第2のマスク層からなる側壁を形成する工程と、前記第1、第2のマスク層を用いて前記第2の電極層及び前記第2の絶縁膜を除去して開口部を形成し、前記第1の電極層の表面を露出する工程と、前記第1、第2のマスク層を除去する工程と、前記第2の電極層及び前記第1の電極層の露出された前記表面上に第3の電極層を形成する工程と、前記第1の電極層、前記第2の絶縁膜、前記第2の電極層及び前記第3の電極層を選択的に除去し、ゲート電極を形成する工程とを含む。

【0023】

【発明の実施の形態】本発明は、浮遊ゲートを有する不揮発性のメモリトランジスタと、メモリセルに近接して

14

配置された選択トランジスタと、メモリセルアレイを駆動する周辺回路のトランジスタとを、同一チップ上に搭載した半導体装置のゲート構造に関するものである。本発明は、例えばNAND型フラッシュメモリに適用される。

【0024】本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。尚、図面において、メモリセルアレイ領域とはメモリトランジスタを設けた領域を示し、選択ゲート領域とは選択トランジスタを設けた領域を示し、周辺回路領域とは周辺回路トランジスタを設けた領域を示す。

【0025】〔第1の実施形態〕第1の実施形態は、メモリトランジスタと選択トランジスタの構造に関し、選択トランジスタを構成する第1及び第2の電極層間の絶縁膜の一部に開口部を設けるものである。

【0026】図1は、第1の実施形態に係る半導体装置のメモリセルアレイ領域の平面図を示す。図2は、図1のII-II線に沿った半導体装置の断面図である。図3(a)は、図1のIIIA-IIIA線に沿った半導体装置の断面図である。図3(b)は、図1のIIIB-IIIB線に沿った半導体装置の断面図である。

【0027】図1に示すように、メモリセルアレイ領域に複数のメモリトランジスタが直列に接続され、メモリセルアレイ領域の両端部のメモリトランジスタに近接させて選択トランジスタが配置される。この選択トランジスタは、第1の電極層及び第2の電極層と、これら第1の電極層及び第2の電極層間に形成された絶縁膜とを有する。この絶縁膜は第1の電極層及び第2の電極層の端部のみ形成され、第1の電極層及び第2の電極層の中央部には開口部17が形成される。この開口部17は、複数のセルの第1の電極層及び素子分離領域上を横断する長いストライプ形状である。また、選択トランジスタのゲート長 L は、メモリトランジスタのゲート長より長い。また、メモリセルと選択トランジスタとの間隔 D は、最小加工寸法程度である。

【0028】図2に示すように、メモリセルアレイ領域の半導体装置は、半導体層11と、この半導体層11の素子領域10を分離する溝型の素子分離領域15と、素子領域10に第1の絶縁膜12を介して形成された第1の電極層13と、この第1の電極層13及び素子分離領域15上に形成された第2の絶縁膜16と、この第2の絶縁膜16上に形成された第2の電極層18とを具備する。そして、第1の電極層13は、素子領域10の上方に素子分離領域15と自己整合的に形成されており、第1の従来技術のように素子分離領域15上へ第1の電極層13が引き出されていない。よって、素子分離領域15の表面は第1の電極層13の表面よりも下に位置している。尚、メモリセルアレイ領域において、第1の電極層13は浮遊ゲートとして機能し、第2の電極層18は

15

制御ゲートとして機能する。

【0029】図3(a)に示すように、選択ゲート領域の半導体装置は、メモリセルアレイ領域と同様に、素子領域10に第1の絶縁膜12を介して形成された第1の電極層13と、この第1の電極層13及び素子分離領域15上に形成された第2の絶縁膜16と、この第2の絶縁膜16上に形成された第2の電極層18とを具備する。この選択トランジスタにおいて、第2の絶縁膜16が部分的に開口部17が形成され、この開口部17において、第2の電極層と第1の電極層が電気的に接続されてい

【0030】尚、図3(b)に示すように、選択ゲート領域において、素子分離領域15上にも開口部17のボタンが延在するために、素子分離絶縁膜内にも溝17'が形成される。この溝17'の底面は、素子領域10より上に位置する。

【0031】また、第2の電極層18は、第1の電極層13よりも低抵抗な層であり、例えば高融点金属層又は高融点金属シリサイド層であることが望ましい。また、第2の絶縁膜16は、例えばONO(Oxide Nitride Oxide)のようなシリコン窒化膜を含む複合絶縁膜であることが望ましい。これはコンタクトホール20の形成におけるエッチングのダメージやコンタクトホール20内に形成される金属配線用の層がゲート絶縁膜12へ悪影響を及ぼすことを、シリコン窒化膜が有効に防止するためである。

【0032】図4乃至図9は、第1の実施形態に係る半導体装置の製造工程の断面図を示す。ここで、図4、図5は、図1のII-II線に沿った半導体装置の断面図であり、図6乃至図9は、図1のIIIA-IIIA線に沿った半導体装置の断面図である。以下、第1の実施形態に係る半導体装置の製造方法について説明する。

【0033】まず、図4に示すように、半導体層11上に第1の絶縁膜12が形成される。この第1の絶縁膜12は、フラッシュメモリではトンネル酸化膜として機能するものであり、この第1の絶縁膜12の膜厚は、例えば8乃至10nmである。次に、第1の絶縁膜12上に第1の電極層13が形成される。この第1の電極層13は、通常リンがドーピングされたポリシリコン膜である。次に、第1の電極層13、第1の絶縁膜12及び半導体層11内に素子分離用溝14が形成され、この素子分離用溝14内に絶縁膜が形成される。この絶縁膜を第1の電極層13の表面が露出するまで平坦化することにより、STI(Shallow Trench Isolation)構造の素子分離領域15が形成される。

【0034】次に、図5に示すように、メモリセルアレイ領域における素子分離領域15の上部が除去され、メモリセルアレイ領域における素子分離領域15の表面が第1の電極層13の表面よりも下に位置される。その後、半導体層11の全面に、例えばONO膜のような第

16

2の絶縁膜16が形成される。

【0035】次に、図6に示すように、第2の絶縁膜16上に例えばフォトレジストからなるマスク層22が形成されてパターンニングされる。

【0036】次に、図7に示すように、パターンニングされたマスク層22を用いて、リソグラフィ及びエッチングにより、選択トランジスタ領域における素子領域10上方の第2の絶縁膜16の一部が除去される。その結果、第1の電極層13の表面の一部が露出され、開口部17が形成される。

【0037】次に、図8に示すように、半導体層11の全面に、例えば高融点金属層又は高融点金属シリサイド層からなる第2の電極層18が形成される。これにより選択トランジスタ部においては、第1の電極層13と第2の電極層18とが直接接続される。

【0038】次に、図9に示すように、第2の電極層18、第2の絶縁膜16及び第1の電極層13がゲートパターンに加工される。具体的には、まず、リソグラフィ工程によりゲートパターンを形成した後、第2の電極層18を、第2の絶縁膜16をストップとして加工する。次に、第2の絶縁膜16を、第1の電極層13をストップとして加工する。最後に、第1の電極層13を、第1の絶縁膜12をストップとして加工する。この方法により、2層ゲート構造のメモリトランジスタ及び選択トランジスタのゲート電極が、自己整合的に加工できる。

【0039】次に、図2に示すように、半導体層11の全面に層間絶縁膜用の第3の絶縁膜19が形成され、この第3の絶縁膜19内の素子分離領域15の上方に第2の電極層18に接続するコンタクトホール20が形成される。また、メモリセルアレイ領域におけるコンタクトホール20の形成の際、例えば周辺トランジスタのソース及びドレイン領域が形成される素子領域などへのコンタクトホールも同時に形成される。その後、コンタクトホールに接続する上層配線21が形成される。

【0040】上記第1の実施形態によれば、第1の電極層13は、素子分離領域15と自己整合的に形成されるため、第1の従来技術よりも容易に第1の電極層13の微細加工が可能である。従って、メモリセルアレイ領域の微細化を図ることが可能である。

【0041】また、選択ゲート領域において、第1の電極層13に信号を与える配線21と第1の電極層13との接続は、第2の電極層18を素子分離領域15上まで引き出して第2の電極層18を介して行われる。つまり、高抵抗の第1の電極層13を素子分離領域15上まで引き出す必要がないため、第1の電極層13の抵抗による遅延の問題を回避することができるとともに、半導体層11と第1の電極層13との容量結合によるRC遅延の問題も回避できる。加えて、第2の電極層18が高融点金属層又は高融点金属シリサイド層であるため、抵抗遅延の問題をさらに回避でき、低抵抗の一層構造のゲ

17

ート電極層で構成されたトランジスタとほぼ同等の動作速度を得ることができる。従って、遅延時間の増加によってメモリセルの読み出し速度に悪影響を与えてしまうという問題も回避できる。

【0042】また、選択トランジスタのゲートにおいて、第2の電極層18の中央は開口部18が設けてあるため第1の電極層13と第2の電極層18との2層構造となっているが、ゲート加工が行われる第2の電極層18の端部では、第1の電極層13と第2の電極層18との間に第2の絶縁膜16が介在した3層構造となっている。10 従って、ゲート加工が行われる領域に関しては、メモリセルアレイ領域と選択ゲート領域におけるゲートの積層構造が同じになっている。このため、メモリセルアレイ領域と選択ゲート領域とのゲート加工を同時に行うことが可能となる。加えて、選択ゲート領域とメモリセルアレイ領域間で別の構造を必要としないため、メモリセルと選択トランジスタの間隔Dを例えば最小加工寸法とすることができる。

【0043】また、絶縁膜16の開口部17において、ゲート長L方向の開口部17の幅は短い、ゲート長L 20 方向に対する垂直方向の開口部17の長さは長い。このため、開口部10のパターンニングの際のリソグラフィ工程において、解像がしやすくなる。従って、選択トランジスタの微細化に伴って選択トランジスタのゲート長Lが短くなった場合も、微細な開口部17を形成することができる。

【0044】以上のように、第1の実施形態によれば、メモリセルサイズを縮小できると共に選択トランジスタを含めた集積度を向上することができ、特にNAND型フラッシュメモリのメモリセルアレイの大きさを縮小す 30 ることができる。

【0045】〔第2の実施形態〕第2の実施形態は、開口部の形成の際、メモリセルアレイ領域における第2の絶縁膜の信頼性の劣化を防ぐために、制御ゲートが2層以上の電極層からなることを特徴とする。

【0046】図10は、第2の実施形態に係る半導体装置のメモリセルアレイ領域及び選択ゲート領域の断面図を示す。図10は、図1のII-II線に沿った半導体装置の断面図である。図10に示すように、第2の実施形態に係る半導体装置は、制御ゲートが第2及び第3の電極 40 層18a、18bからなる2層構造となっている。

【0047】図11乃至図14は、第2の実施形態に係る半導体装置の製造工程の断面図を示す。図11乃至図14は、図1のIIIA-IIIA線に沿った半導体装置の断面図である。以下、第2の実施形態に係る半導体装置の製造方法について説明する。尚、第1の実施形態に係る半導体装置の製造方法と同様の工程は説明を省略し、異なる工程のみ説明する。

【0048】まず、図5に示すように、第1の実施形態と同様に、第1の電極層13上に第2の絶縁膜16が形 50

18

成される。

【0049】次に、図11に示すように、開口部17の形成の前に、第2の絶縁膜16上に第2の電極層18aが形成される。

【0050】次に、図12に示すように、リソグラフィ及びエッチングにより、選択ゲート領域における素子領域10上方の第2の電極層18a及び第2の絶縁膜16が選択的に除去される。その結果、第1の電極層13の表面の一部が露出され、開口部17が形成される。

【0051】次に、図13に示すように、半導体層11の全面に第3の電極層18bが形成される。これにより、選択ゲート領域においては、開口部17を介して、第2及び第3の電極層18a、18bが第1の電極層13と直接接続される。

【0052】次に、図14に示すように、第3の電極層18b、第2の電極層18a、第2の絶縁膜16及び第1の電極層13がゲートパターンに加工される。この後は、第1の実施形態と同様の工程で、第2の実施形態に係る半導体装置が形成される。

【0053】上記第2の実施形態によれば、上記第1の実施形態と同様の効果を得ることができ、さらに、以下のような効果が得られる。

【0054】上記第1の実施形態では、開口部17を形成するためのリソグラフィ工程（図6に示す工程）において、マスク層22となるレジストがメモリセルアレイ領域の第2の絶縁膜16上に形成される。このため、レジストと第2の絶縁膜16とが接触してしまい、第2の絶縁膜16の信頼性が劣化する場合がある。例えば、レジストから第2の絶縁膜16へ不純物汚染が侵入する場合や、リソグラフィ工程中の様々な段階において第2の絶縁膜16の絶縁性の低下を招く場合等がある。そこで、第2の実施形態においては、開口部17の形成の前に、第2の絶縁膜16上に第2の電極層18aを形成する。これにより、リソグラフィ工程において、第2の電極層18aが保護層として機能するため、上述する第2の絶縁膜16への悪影響の問題を解消できる。

【0055】〔第3の実施形態〕第3の実施形態は、第1の実施形態で述べた開口部の幅を小さくしたい場合に有効な方法である。例えば、NAND型フラッシュメモリでの選択トランジスタのゲート長は、0.2μm前後までの微細化が進んでおり、その中央部のみに開口部を設けようとする、例えば0.1μm幅のボタンを形成しなければならない。このような場合、第3の実施形態は有効である。尚、第3の実施形態に係る半導体装置は、第2の実施形態と同様であるため説明は省略する。

【0056】図15乃至図18は、第3の実施形態に係る半導体装置の製造工程の断面図を示す。図15乃至図18は、図1のIIIA-IIIA線に沿った半導体装置の断面図である。以下、第3の実施形態に係る半導体装置の製造方法について説明する。尚、第1及び第2の実施形

19

態に係る半導体装置の製造方法と同様の工程は説明を省略し、異なる工程のみ説明する。

【0057】まず、図11に示すように、第2の実施形態と同様に、第2の絶縁膜16上に第2の電極層18aが形成される。

【0058】次に、図15に示すように、CVD (Chemical Vapor Deposition) 法により、第2の電極層18a上に例えば酸化膜からなる第1のマスク層22が堆積される。次に、リソグラフィにより、第1のマスク層22がパターンニングされ、素子領域10上に第2の電極層18aの表面の一部を露出する溝が形成される。

【0059】次に、図16に示すように、第1のマスク層22及び第2の電極層18a上に、例えば酸化膜からなる第2のマスク層23が堆積される。その後、エッチバックを行うことにより、第1のマスク層22上及び第2の電極層18a上の第2のマスク層23が除去される。その結果、溝の側面に第2のマスク層23からなる側壁が形成される。

【0060】次に、図17に示すように、第1、第2のマスク層22、23をマスクとして、第2の電極層18a及び第2の絶縁膜16が除去される。その結果、素子領域10上に開口部17が形成される。その後、第1、第2のマスク層22、23が除去される。

【0061】次に、図18に示すように、第2の電極層18a及び第1の電極層13上に第3の電極層18bが形成される。これにより、選択ゲート領域においては、開口部17を介して、第1の電極層13と第2及び第3の電極層18a、18bとが直接接続される。この後は、第1の実施形態と同様の工程で、第3の実施形態に係る半導体装置が形成される。

【0062】上記第3の実施形態によれば、第1及び第2の実施形態と同様の効果を得ることができる。

【0063】さらに、制御ゲートの一部である第2の電極層18a及び第2の絶縁膜16は、開口部17と自己整合的に形成される。このため、リソグラフィの可能寸法より狭い開口部17を形成でき、第1の実施形態よりも第1の電極層13と第2及び第3の電極層18a、18bとを狭いスペースで接続することができる。従って、第1の実施形態よりも選択トランジスタのゲート長の微細化を図ることが可能となる。

【0064】このように、第3の実施形態は、選択トランジスタのゲート長が短く、リソグラフィの可能寸法ではゲートの中央に開口部17を形成できない場合に有効である。

【0065】尚、狭い開口部17を形成できる第3の実施形態の変形例として、開口部17の形成時に用いるマスク層としてフォトレジストを用い、フォトレジストをパターンニングした後、熱処理によりフォトレジストを膨張させて、狭い開口部17を形成してもよい。これにより、リソグラフィで形成できる開口部17の幅より狭い

20

幅の開口部17を形成することができる。

【0066】[第4の実施形態] 第1乃至第3の実施形態は、フラッシュメモリのメモリセルアレイ領域と選択ゲート領域に本発明を適用したものであるが、第4の実施形態は、選択ゲート領域と同様の構造を周辺回路領域にも適用することを特徴とする。

【0067】図19は、第4の実施形態における半導体装置の周辺回路領域の平面図を示す。図20は、図19のXX-XX線に沿った半導体装置の断面図を示す。

【0068】図19、図20に示すように、周辺回路領域における半導体装置は、半導体層11と、この半導体層11の素子領域10を分離する素子分離領域15と、素子領域10に第1の絶縁膜12を介して素子分離領域15と自己整合的に形成された第1の電極層13と、この第1の電極層13の表面の一部を露出した開口部17を有する第2の絶縁膜16と、この第2の絶縁膜16上及び開口部17内に形成された第2の電極層18とを具備する。そして、開口部17を介して第1の電極層13と第2の電極層18とが接続されている。

【0069】図21は、第4の実施形態における半導体装置のメモリセルアレイ領域と周辺回路領域の断面図を示す。尚、第4の実施形態において、メモリセルアレイ領域及び選択ゲート領域は、第1の実施形態と同様の構造であるため説明は省略する。

【0070】図21に示すように、第4の実施形態におけるコンタクトホール20は、素子分離領域15の上方で第2の電極層18に接続されている。また、第1の電極層13とこの第1の電極層13に信号を与える配線21との接続は、第2の電極層18を素子分離領域15上まで引き出して第2の電極層18を介して行われている。

【0071】上記第4の実施形態によれば、上記第1の実施形態と同様の効果を得ることができる。

【0072】さらに、第4の実施形態では、抵抗の高い第1の電極層13が、素子領域10の直上で低抵抗の第2の電極層18に接続されている。このため、選択トランジスタと同様に、従来技術に比べて、周辺回路のRC遅延時間を短くすることができる。

【0073】また、選択トランジスタと同様に、第1の電極層と第2の電極層の素子領域10上の端部には、開口部17は存在しない。このため、ゲートの加工工程において、メモリセルアレイ領域及び選択ゲート領域に加えて周辺回路領域も同時に加工を行うことが可能である。このように、全ての素子のゲートを同時に加工できると、例えばその後のコンタクトホール形成工程においてコンタクトホールとゲート電極の必要なリソグラフィ工程での合わせ余裕を小さくすることができる。

【0074】[第5の実施形態] 第5の実施形態は、第4の実施形態の変形例である。この第5の実施形態は、周辺回路領域における第2の絶縁膜を全て除去している

21

ことを特徴とする。

【0075】図22は、第5の実施形態に係る半導体装置のメモリセルアレ領域及び周辺回路領域の断面図を示す。尚、第4の実施形態と異なる構造についてのみ説明する。

【0076】周辺回路に要求される性能や動作電圧によっては、周辺回路トランジスタのゲート長を非常に短くしなければいけない場合がある。この場合、第2の絶縁膜16の開口部17を小さくする必要が生じる。しかし、開口寸法が非常に小さくなると、例えば第3の実施形態に示す方法を用いても、開口部17の形成が非常に
10 難しくなる場合がある。

【0077】そこで、図22に示すように、周辺回路領域において、第1の電極層13と第2の電極層18間の第2の絶縁膜16を全て除去する。尚、メモリセルアレ領域や選択ゲート領域は、第1の実施形態と同様の構造である。

【0078】つまり、第5の実施形態に係る半導体装置の周辺回路領域は、半導体層11と、この半導体層11の素子領域10を分離する素子分離領域15と、素子領域10に第1の絶縁膜12を介して素子分離領域15と自己整合的に形成された第1の電極層13と、この第1の電極層13及び素子分離領域15上に形成された第2の電極層18とを具備している。
20

【0079】上記第5の実施形態によれば、第4の実施形態と同様の効果を得ることができる。

【0080】さらに、第5の実施形態は、トランジスタのゲート長が非常に短い場合に有効な構造である。但し、周辺回路トランジスタは、メモリトランジスタ及び選択トランジスタとゲート構造が異なるため、メモリセルアレ領域及び選択ゲート領域と周辺回路領域とは別々にゲート加工を行うことになり工程数は増加する。しかし、メモリトランジスタと選択トランジスタのゲート端部は同じ構造なので、メモリセルアレ領域及び選択ゲート領域は同時に加工が行え、加工境界を設ける必要がない。このため、他の実施形態と同様に、メモリセルアレ領域の総面積の縮小には大きな効果がある。
30

【0081】尚、選択トランジスタは、通常、メモリセルを駆動するための高電圧に耐えるために、リソグラフィの最小可能寸法より長めに設計されるので、例えば第3の実施形態で示した方法等により、微細な開口部17の形成は十分に可能である。
40

【0082】〔第6の実施形態〕第6の実施形態は、第2の絶縁膜の存在する素子領域の上方にコンタクトホールを形成することにより、周辺トランジスタの面積を縮小することを特徴とする。

【0083】図23は、第6の実施形態における半導体装置の周辺回路領域の平面図を示す。図24は、図23のXXIV-XXIV線に沿った半導体装置の断面図を示す。図25は、第6の実施形態における半導体装置のメモリセ
50

22

ルアレ領域及び周辺回路領域の断面図を示す。尚、第6の実施形態において、メモリセルアレ領域及び選択ゲート領域は、第1の実施形態と同様の構造であるため説明は省略する。

【0084】図23、図24、図25に示すように、周辺回路領域における半導体装置は、半導体層11と、この半導体層11の素子領域10を分離する素子分離領域15と、素子領域10に第1の絶縁膜12を介して素子分離領域15と自己整合的に形成された第1の電極層13と、この第1の電極層13及び素子分離領域15上に形成され、第1の電極層13の表面の一部を露出する開口部17を有する第2の絶縁膜16と、この第2の絶縁膜16及び開口部17内に形成された第2の電極層18と、第2の絶縁膜16の存在する素子領域10上方に形成され、第2の電極層18に接続されたコンタクトホール20とを具備する。そして、開口部17を介して第1の電極層13と第2の電極層18とが接続されている。

【0085】上記第6の実施形態によれば、第4の実施形態と同様の効果が得られるだけでなく、さらに以下に示す効果が得られる。

【0086】通常、コンタクトホール20の形成の際、バリアメタル(Ti/TiN)膜やAl-Cu膜等をスパッタリングにより形成し、コンタクトホール20とゲートとを接続する。ところが、Tiと第2の電極層18の多結晶Siとが反応してTiSi層が形成される。このため、第2の絶縁膜16がない場合には、TiSi層がコンタクトホール20と第2の電極層18との界面から第1の絶縁膜12の近隣にまで形成され、第1の絶縁膜12が破壊する可能性がある。従って、ゲートに接続させるコンタクトホール20は、通常素子領域10の上方には形成されない。

【0087】しかしながら、第6の実施形態のように、第1、第2の電極層13、18の間に第2の絶縁膜16を残存させることにより、この第2の絶縁膜16が保護膜となり、上記問題を回避できる。特に、第2の絶縁膜16として、シリコン窒化膜を含む複合絶縁膜を用いるとよい。

【0088】このように、第6の実施形態によれば、第2の絶縁膜16を残存させることにより、素子領域10の上方にコンタクトホール20を形成することができるようになる。これにより、次に示す第1乃至第3の効果を得ることができる。

【0089】第1に、素子領域10上にコンタクトホール20が形成される第6の実施形態(図26(b))は、素子分離領域15上でコンタクトホール20が形成される従来構造(図26(a))に比べて、周辺回路領域を縮小することができる。

【0090】第2に、第6の実施形態によれば、周辺回路領域を増大することなく、素子分離領域15の反転電圧を高めることができる。つまり、NAND型フラッシ

メモリのように高い電圧を使用するデバイスでは、ゲート下の素子分離領域15の反転電圧を高くする必要がある。その場合、図27に示すように、素子分離領域15下の半導体層11の不純物拡散層11'の濃度を高くするか、図28に示すように、素子分離領域15の膜厚を厚くするなどの対策が必要だった。しかし、これらの対策は、加工の難易度を高めたり接合耐圧の低下を招いたりするため望ましくない。また、別の方法として、図29(a)、図30(a)に示すように、素子分離領域15上でゲート電極を分断し、隣接するトランジスタ同士を、ゲート電極で接続せずに、ゲート電極から一度コンタクトホール20を介して上層配線21で接続する。しかし、この方法では、素子分離領域15上にコンタクトホール20を形成する領域が必要となるため、周辺回路領域の増大を招いてしまう。このような問題に対し、第6の実施形態によれば、第1、第2の電極層13、18間の一部に絶縁膜16を設け、素子領域15の上方にコンタクトホール20を形成することにより、周辺回路領域を増大することなく、素子分離領域15の反転電圧を高めることができる。

【0091】尚、第6の実施形態は、上記第2及び第3の実施形態のように、メモリセルの制御ゲートが第2の電極層18aと第3の電極層18bとからなる二層構造のものにも適用することも可能である。

【0092】〔第7の実施形態〕第7の実施形態は、複数の周辺回路トランジスタにおいて、絶縁膜の開口部の幅を等しくすることを特徴とする。

【0093】図31は、第7の実施形態に係る半導体装置の平面図を示す。図32は、図31のXXXII-XXXII線に沿った半導体装置の断面図を示す。以下、第7の実施形態の特徴部分についてのみ説明する。

【0094】図31、図32に示すように、チップ上に配置された複数のトランジスタにおいて、第1の電極層13上に形成された第2の絶縁膜16及び第2の電極層18aは、第1の電極層13の表面の一部を露出する開口部17を有する。この開口部17内及び第2の絶縁膜16上に第3の電極層18bが形成され、この第3の電極層18b上に第4の電極層18cが形成される。このような第1乃至第4の電極層13、18a、18b、18cからなるゲート電極を有するトランジスタにおいて、全ての開口部17の幅cは等しい。

【0095】上記第7の実施形態によれば、第4の実施形態と同様の効果を得ることができる。

【0096】さらに、第7の実施形態は、チップ上のゲート電極における開口部17の幅cを等しくする。これにより、開口部17を第3の電極層18bで埋め込んだ場合、第3の電極層18bの段差ばらつきを最小限に抑えることができる。従って、第7の実施形態は、第3の電極層18bを平坦に堆積するのに最適である。

【0097】また、開口部17の幅cを一定にすれば、

開口部17の形成の際、リソグラフィによるパターニングの制御が容易となる。

【0098】また、トランジスタ毎に開口幅が異なる場合に比べて、第7の実施形態は、開口部17の幅cの寸法ばらつきを抑制できる。

【0099】〔第8の実施形態〕第8の実施形態は、同一ゲート電極内に複数の開口部を設け、これらの開口部の幅を等しくすることを特徴とする。

【0100】図33は、第8の実施形態における半導体装置の平面図を示す。図34は、図33のXXXIV-XXXIV線に沿った半導体装置の断面図を示す。以下、第8の実施形態の特徴部分についてのみ説明する。

【0101】図33、図34に示すように、トランジスタのゲート電極において、第1の電極層13上に形成された第2の絶縁膜16及び第2の電極層18aは、第1の電極層13の表面の一部を露出する複数の開口部17を有する。この開口部17内及び第2の絶縁膜16上に第3の電極層18bが形成され、この第3の電極層18b上に第4の電極層18cが形成される。このような同一ゲート電極内における複数の開口部17の幅cは等しい。

【0102】上記第8の実施形態によれば、開口部17の幅cが等しいため、第7の実施形態と同様の効果を得ることができる。

【0103】さらに、同一ゲート電極内に開口部17を複数個形成することにより、第1の電極層13と第3の電極層18bとの接続面積を大きくできる。このため、第1の電極層13と第3の電極層18bとにおける2層間の接触抵抗を低減できる。

【0104】尚、同一ゲート電極内に複数の開口部17を設けるにあたって、図35に示すように、十字型に開口部17を交差して形成してもよい。このように、開口部17を直交させて設けることによって、同一ゲート電極内により多くの開口部17を形成できる。このため、上述した接続面積をさらに大きくでき、接触抵抗をより低減できる。

【0105】〔第9の実施形態〕第9の実施形態は、第8の実施形態のように同一ゲート電極内に複数の開口部を設けた際、これらの開口部間の距離を等しくすることを特徴とする。

【0106】図36は、第9の実施形態における半導体装置の平面図を示す。図37は、図36のXXXVII-XXXVII線に沿った半導体装置の断面図を示す。以下、第9の実施形態の特徴部分についてのみ説明する。

【0107】図36、図37に示すように、トランジスタのゲート電極において、第1の電極層13上に形成された第2の絶縁膜16及び第2の電極層18aは、第1の電極層13の表面の一部を露出する複数の開口部17を有する。この開口部17内及び第2の絶縁膜16上に第3の電極層18bが形成され、この第3の電極層18

25

b上に第4の電極層18cが形成される。このような同一ゲート電極内における複数の開口部17の幅cは等しく、開口部17間の距離dも等しい。

【0108】上記第9の実施形態によれば、開口部17を複数個設け、これらの開口部17の幅cは等しい。このため、第7、第8の実施形態と同様の効果を得ることができる。

【0109】さらに、同一ゲート電極内に複数個形成された開口部17間の距離dが等しい。すなわち、図38に示すように、開口部17を等間隔に形成することは、
10 開口部17が形成されるためのリソグラフィの工程において、露光部の幅を同一に形成することになる。従って、隣接する露光部での光近接効果によるレジスト22'の加工ばらつきを最小限に抑えることができる。

【0110】尚、第9の実施形態に係る発明をNAND型フラッシュメモリに適用することも可能である。

【0111】このNAND型フラッシュメモリでは、図39(a)、図39(b)に示すように、選択トランジスタと周辺回路のトランジスタとで、ゲート長の異なるトランジスタが同一チップに混在する。このような場合、
20 複数の選択トランジスタにそれぞれ形成された開口部17間の間隔e1と、周辺回路トランジスタの同一ゲート電極内に複数個形成された開口部17間の間隔e2とを等しくする。これにより、図38に示すレジスト22'の加工ばらつきを同一チップ内において、最小限に抑えることができる。

【0112】ここで、一般的に、周辺回路トランジスタよりも選択トランジスタの方が寸法は小さい。そこで、素子の微細化を図るには、開口部17の間隔e1、e2は、
30 選択トランジスタにおける開口部17の間隔e1を基準にして、この間隔e1に合わせて周辺回路トランジスタにおける開口部17の間隔e2を設定するとよい。

【0113】[第10の実施形態] 第10の実施形態は、チャンネル長の方向において、開口部を素子領域上から素子分離領域上にまで延在させることを特徴とする。

【0114】図40(a)は、第4の実施形態における半導体装置の断面図を示す。図40(b)、図40

(c)は、第10の実施形態における半導体装置の断面図を示す。以下、第10の実施形態の特徴部分について説明する。
40

【0115】例えば第4の実施形態では、図40(a)に示すように、開口部17は素子領域10内に形成される。これに対し、第10の実施形態では、図40

(b)、開口部17を素子領域10内から素子領域10の端部まで延在させる。また、図40(c)に示すように、素子分離領域15上にまで延在させる。ここで、開口部17の延在方向は、ゲート電極のチャンネル長fの方向とする。

【0116】上記第10の実施形態によれば、上記第4の実施形態と同様の効果を得ることができる。

26

【0117】さらに、チャンネル長fの方向に開口部17を素子領域10上から素子分離領域15上にまで延在させる。これにより、チャンネル長fが小さいトランジスタであっても、前記開口部17をリソグラフィの加工限界に制限されることなく形成することができる。

【0118】[第11の実施形態] 第11の実施形態は、開口部の幅と開口部を埋め込む電極層の堆積膜厚との関係を規定することを特徴とする。

【0119】図41(a)、図41(b)は、第11の実施形態における半導体装置の断面図を示す。以下、第11の実施形態の特徴部分について説明する。

【0120】図41(a)、図41(b)に示すように、チップ上の配置された複数のトランジスタにおいて、第1の電極層13上に形成された第2の絶縁膜16及び第2の電極層18aは、第1の電極層13の表面の一部を露出する開口部17を有する。この開口部17内及び第2の絶縁膜16上に第3の電極層18bが形成される。このような各トランジスタにおける開口部17の幅cは等しい。そして、この場合、第3の電極層18bの堆積時の膜厚は、開口部17の幅cの1/2以上にする。また、開口部17の幅cは、第3の実施形態で示す方法などを用いることで、小さくすることも可能である。

【0121】上記第11の実施形態によれば、上記第4の実施形態と同様の効果を得ることができる。

【0122】さらに、第11の実施形態は、各トランジスタの開口部17の幅cを等しくし、第3の電極層18bの堆積膜厚をc/2以上にする。これにより、開口部17が第3の電極層18bで確実に埋め込まれ、かつ第3の電極層18bの上面を平坦に堆積することができる。

【0123】また、開口部17の幅cを小さくすることで、第3の電極層18bを平坦に堆積するための膜厚が薄くできるため、ゲート電極のトータルの高さを低くすることができる。このため、図41(b)に示すゲート電極間のスペースSのアスペクト比が小さくなり、上層配線(図示せず)とゲート電極とを絶縁するための第3の絶縁膜19を容易に埋め込むことができる。

【0124】以上のような効果を第11の実施形態によれば得ることができるため、次のような問題点を回避することができる。

【0125】第1の問題点として、図42(a)に示すように、開口部17の幅が、第3の電極層18bの堆積膜厚aの2倍以上の長さである場合、開口部17内に第3の電極層18bを堆積すると、開口部17上の第3の電極層18bの表面に段差が生じる。

【0126】第2の問題点として、図42(b)に示すように、第3の電極層18b上に第4の電極層(例えばWSi)18cを形成し、この第4の電極層18c上にレジスト22'が形成される。そして、ゲート電極を形

27

成するために、リソグラフィ技術を用いてレジスト 2 2' をパターンニングする際、第 3 の電極層 18 b に段差が生じることで、この段差でフォーカスずれを起こし、レジスト 2 2' を所望の形状に形成できない。その結果、ゲート電極の加工後の仕上がり形状が部分的に異なる寸法になってしまう。

【0127】第 3 の問題点として、図 42 (c) に示すように、第 3 の電極層 18 b 上に第 4 の電極層 18 c を堆積する場合、第 3 の電極層 18 b を堆積したときに生じる段差によって、開口部 17 上の第 3 の電極層 18 b に、段差部を埋め込めない領域 30 ができるおそれがある。

【0128】第 4 の問題点として、図 43 (a) に示すように、ゲート長が異なる全てのトランジスタにおいて第 3 の電極層 18 b を平坦に堆積するためには、トランジスタ毎に開口部 17 の幅にばらつきがあると、最も大きな開口幅を有する開口部 17 を埋め込めるように、第 3 の電極層 18 b の堆積膜厚を最大開口幅の 1/2 以上にすることが必要がある。その結果、第 3 の電極層 18 b の堆積膜厚が厚くなり、ゲート電極の加工が困難になってしまう。

【0129】第 5 の問題点として、第 4 の問題のように、第 3 の電極層 18 b の堆積膜厚が厚くなることで、図 43 (b) に示すように、メモリセルアレイ領域において高アスペクト比を有するゲート電極間のスペース S が形成される。このため、上層配線（図示せず）と素子領域 10 とを絶縁するための層間絶縁膜 19 の埋め込みが困難になり、ボイド 31 が発生してしまう。

【0130】〔第 12 の実施形態〕第 12 の実施形態は、第 11 の実施形態のように開口部の幅と開口部を埋め込む電極層の膜厚との関係を規定した上で、この電極層の表面を平坦にすることを特徴とする。

【0131】図 44 (a)、図 44 (b) は、第 12 の実施形態における半導体装置の断面図を示す。以下、第 12 の実施形態の特徴部分について説明する。

【0132】図 44 (a) に示すように、第 11 の実施形態と同様に、開口部 17 の幅 c を一定にし、第 3 の電極層 18 b を開口幅 c の 1/2 以上の厚さで堆積する。その後、図 44 (b) に示すように、この第 3 の電極層 18 b の表面を CDE (Chemical Dry Etching) 又は CMP (Chemical Mechanical Polish) で平坦化する。

【0133】上記第 12 の実施形態によれば、上記第 11 の実施形態と同様の効果を得ることができる。

【0134】さらに、第 3 の電極層 18 b の表面を CDE や CMP で平坦にすることによって、第 3 の電極層 18 b の堆積時の膜厚より、第 3 の電極層 18 b の膜厚を薄くできる。すなわち、ゲート電極のトータルの膜厚を薄くできるため、第 11 の実施形態よりも第 3 の絶縁膜 19 の埋め込みをより容易にすることができる。

【0135】尚、上記第 1 乃至第 12 の実施形態におい

28

て、第 1 の電極層 13 は簡単のために一層構造としているが、様々な変形例があっても構わない。例えば、図 45 に示すように、第 1 の電極層 13 a、13 b が二層構造になっていたり、2 次元的な凸凹部を有していても構わない。また、上記第 1 乃至第 12 の実施形態において、第 1 の電極層 13 は素子領域 10 と自己整合的に形成されると説明しているが、図 45 に示すように、第 1 の電極層 13 は素子分離領域 15 の方向に素子領域 10 より自己整合的に張り出した構造にしても構わない。

【0136】その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0137】

【発明の効果】以上説明したように本発明によれば、メモリセルアレイ領域の微細化を図りつつ選択ゲート領域及び周辺回路領域における抵抗遅延を回避し、かつメモリセルアレイ領域と選択ゲート領域と周辺回路領域とのゲート加工を同時に行うことが可能な半導体装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係わる半導体装置のメモリセルアレイ領域及び選択ゲート領域を示す平面図。

【図 2】図 1 の II-II 線に沿った半導体装置の断面図。

【図 3】図 3 (a) は図 1 の IIIA-III A 線に沿った半導体装置の断面図、図 3 (b) は図 1 の IIIB-II B 線に沿った半導体装置の断面図。

【図 4】本発明の第 1 の実施形態に係わる半導体装置の製造工程の断面図。

【図 5】図 4 に続く、本発明の第 1 の実施形態に係わる半導体装置の製造工程の断面図。

【図 6】図 5 に続く、本発明の第 1 の実施形態に係わる半導体装置の製造工程の断面図。

【図 7】図 6 に続く、本発明の第 1 の実施形態に係わる半導体装置の製造工程の断面図。

【図 8】図 7 に続く、本発明の第 1 の実施形態に係わる半導体装置の製造工程の断面図。

【図 9】図 8 に続く、本発明の第 1 の実施形態に係わる半導体装置の製造工程の断面図。

【図 10】本発明の第 2 の実施形態に係わる半導体装置のメモリセルアレイ領域及び選択ゲート領域を示す断面図。

【図 11】本発明の第 2 の実施形態に係わる半導体装置の製造工程の断面図。

【図 12】図 11 に続く、本発明の第 2 の実施形態に係わる半導体装置の製造工程の断面図。

【図 13】図 12 に続く、本発明の第 2 の実施形態に係わる半導体装置の製造工程の断面図。

【図 14】図 13 に続く、本発明の第 2 の実施形態に係わる半導体装置の製造工程の断面図。

【図 15】本発明の第 3 の実施形態に係わる半導体装置の製造工程の断面図。

【図 16】図 15 に続く、本発明の第 3 の実施形態に係わる半導体装置の製造工程の断面図。

【図 17】図 16 に続く、本発明の第 3 の実施形態に係わる半導体装置の製造工程の断面図。

【図 18】図 17 に続く、本発明の第 3 の実施形態に係わる半導体装置の製造工程の断面図。

【図 19】本発明の第 4 の実施形態に係わる半導体装置の周辺回路領域を示す平面図。

【図 20】図 19 の XX-XX 線に沿った半導体装置の断面図。

【図 21】本発明の第 4 の実施形態に係わる半導体装置の周辺回路領域及びメモリセルアレイ領域を示す断面図。

【図 22】本発明の第 5 の実施形態に係わる半導体装置の周辺回路領域及びメモリセルアレイ領域を示す断面図。

【図 23】本発明の第 6 の実施形態に係わる半導体装置の周辺回路領域を示す平面図。

【図 24】図 23 の XXIV-XXIV 線に沿った半導体装置の断面図。

【図 25】本発明の第 6 の実施形態に係わる半導体装置の周辺回路領域及びメモリセルアレイ領域を示す断面図。

【図 26】図 26 (a) は従来技術による半導体装置を示す平面図、図 26 (b) は本発明の第 6 の実施形態に係わる半導体装置を示す平面図。

【図 27】従来技術による半導体装置を示す断面図。

【図 28】従来技術による半導体装置を示す断面図。

【図 29】図 29 (a) は従来技術による半導体装置を示す平面図、図 29 (b) は本発明の第 6 の実施形態に係わる半導体装置を示す平面図。

【図 30】図 30 (a) は従来技術による半導体装置を示す断面図、図 30 (b) は本発明の第 6 の実施形態に係わる半導体装置を示す断面図。

【図 31】本発明の第 7 の実施形態に係わる半導体装置を示す平面図。

【図 32】図 31 の XXXII-XXXII 線に沿った半導体装置の断面図。

【図 33】本発明の第 8 の実施形態に係わる半導体装置を示す平面図。

【図 34】図 33 の XXXIV-XXXIV 線に沿った半導体装置

の断面図。

【図 35】本発明の第 8 の実施形態に係わる他の半導体装置を示す平面図。

【図 36】本発明の第 9 の実施形態に係わる半導体装置を示す平面図。

【図 37】図 36 の XXXVII-XXXVII 線に沿った半導体装置の断面図。

【図 38】第 9 の実施形態に係わる半導体装置を示す断面図。

10 【図 39】図 39 (a) は第 9 の実施形態に係わる半導体装置の選択ゲートトランジスタ及びメモリトランジスタを示す平面図、図 39 (b) は第 9 の実施形態に係わる半導体装置の周辺回路トランジスタを示す平面図。

【図 40】図 40 (a) は従来技術による半導体装置を示す平面図、図 40 (b)、図 40 (c) は第 10 の実施形態に係わる半導体装置を示す平面図。

【図 41】図 41 (a)、図 41 (b) は第 11 の実施形態に係わる半導体装置を示す断面図。

20 【図 42】図 42 (a)、図 42 (b)、図 42 (c) は第 11 の実施形態に係わる半導体装置を示す断面図。

【図 43】図 43 (a)、図 43 (b) は従来技術に係わる半導体装置を示す断面図。

【図 44】図 44 (a) は第 12 の実施形態に係わる半導体装置の製造工程を示す断面図、図 44 (b) は図 44 (a) に続く、第 12 の実施形態に係わる半導体装置の製造工程を示す断面図。

【図 45】本発明の各実施形態に係わる他の半導体装置を示す断面図。

【図 46】図 46 (a) は第 1 の従来技術による半導体装置のメモリセルアレイ領域及び選択ゲート領域を示す平面図、図 46 (b) は第 1 の従来技術による半導体装置の周辺回路領域を示す平面図。

【図 47】図 47 (a) は図 46 (a) 及び図 46 (b) に示す XXXVIIA-XXXVIIA 線に沿った半導体装置の断面図、図 47 (b) は図 46 (a) に示す XXXVII B-XXXVII B 線に沿った半導体装置の断面図。

【図 48】図 48 (a) は第 2 の従来技術による半導体装置のメモリセルアレイ領域及び選択ゲート領域を示す平面図、図 48 (b) は第 2 の従来技術による半導体装置の周辺回路領域を示す平面図。

40 【図 49】図 48 (a) 及び図 48 (b) に示す XXXIX A-XXXIX A 線に沿った半導体装置の断面図。

【図 50】図 48 (a) に示す XXXIX B-XXXIX B 線に沿った半導体装置の断面図。

【符号の説明】

10…素子領域、

11…半導体基板、

12…第 1 の絶縁膜、

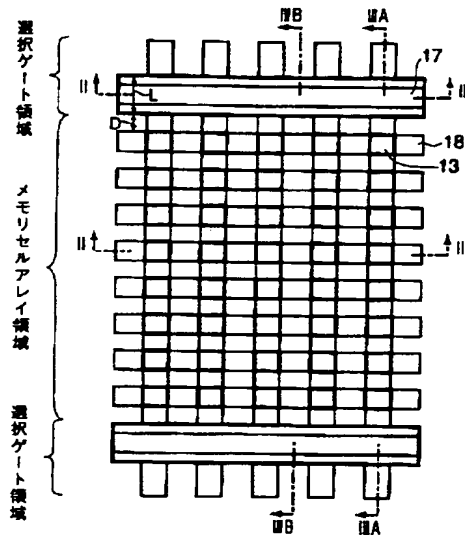
13…第 1 の電極層（浮遊ゲート）、

14…素子分離溝、

31

- 15…素子分離領域、
 16…第2の絶縁膜、
 17…開口部、
 17'…溝、
 18、18a…第2の電極層（制御ゲート）、
 18b…第3の電極層（制御ゲート）、
 18c…第4の電極層（制御ゲート）、

【図1】

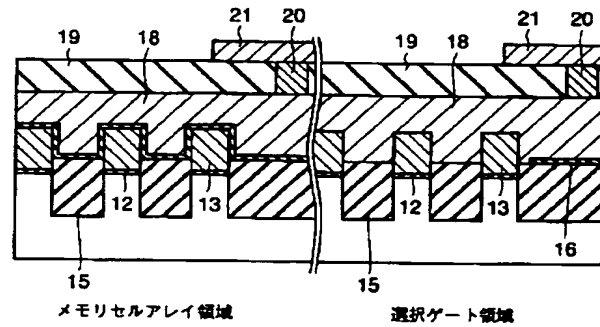


32

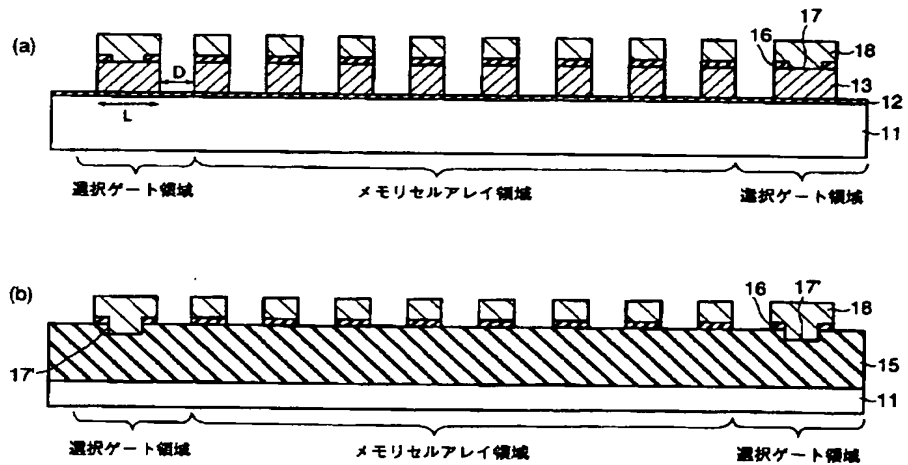
- * 19…第3の絶縁膜、
 20…コンタクトホール、
 21…配線、
 22…第1のマスク層、
 22'…レジスト、
 23…第2のマスク層。

*

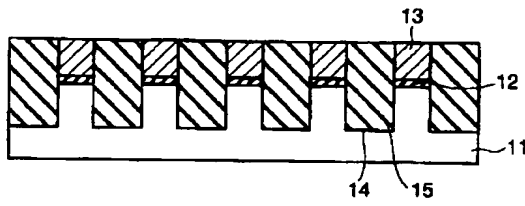
【図2】



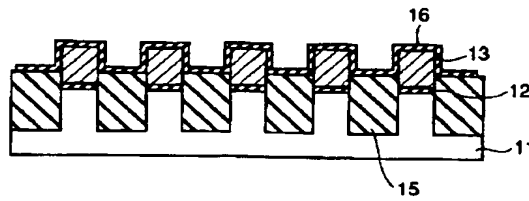
【図3】



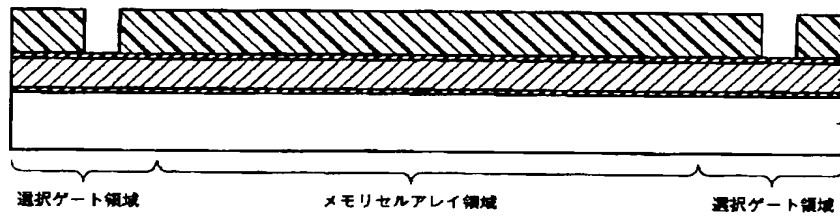
【図4】



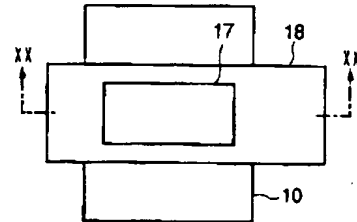
【図5】



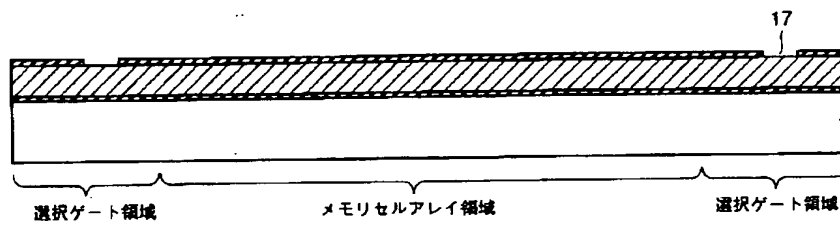
【図6】



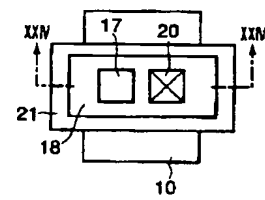
【図19】



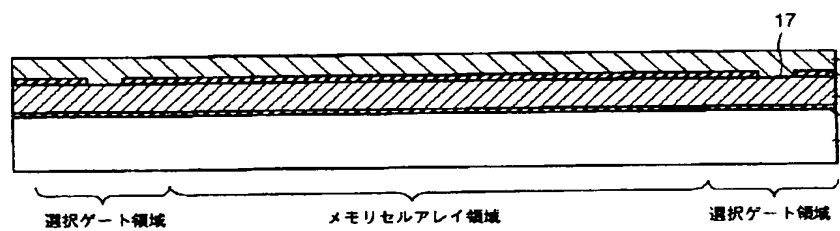
【図7】



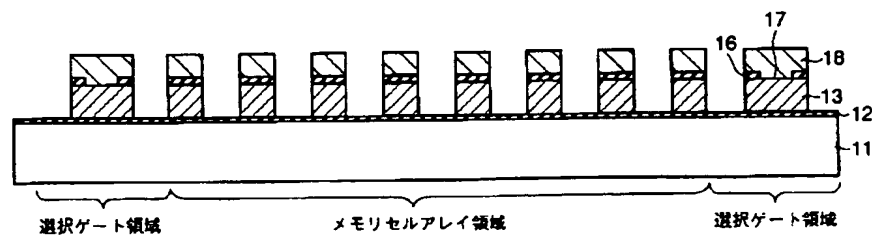
【図23】



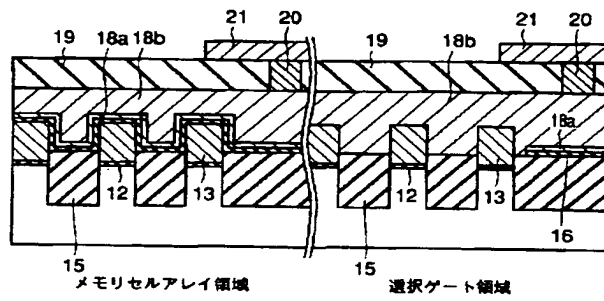
【図8】



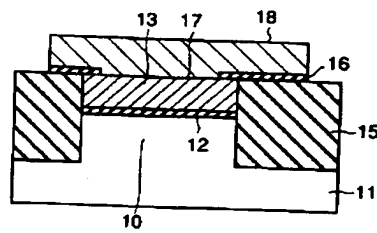
【図9】



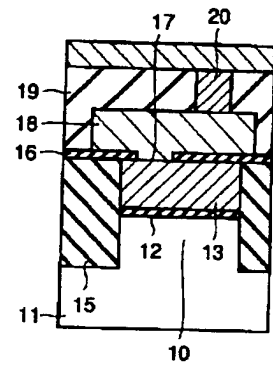
【図 10】



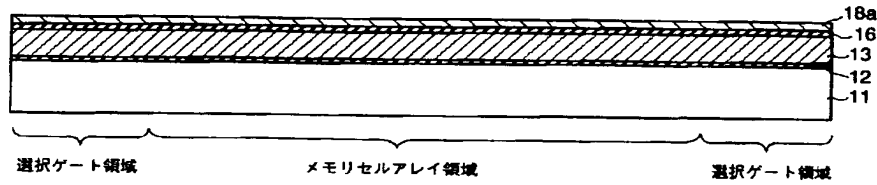
【図 20】



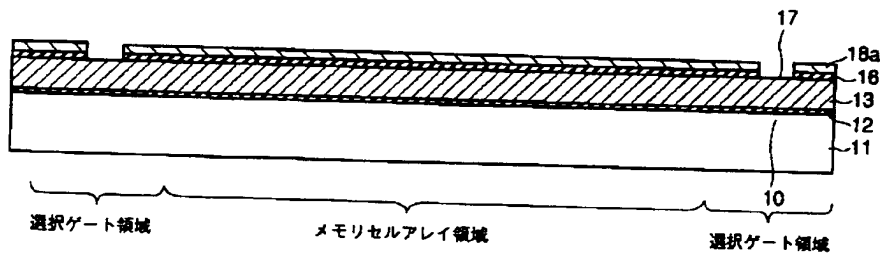
【図 24】



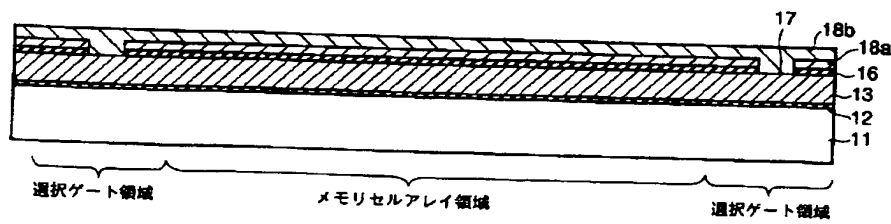
【図 11】



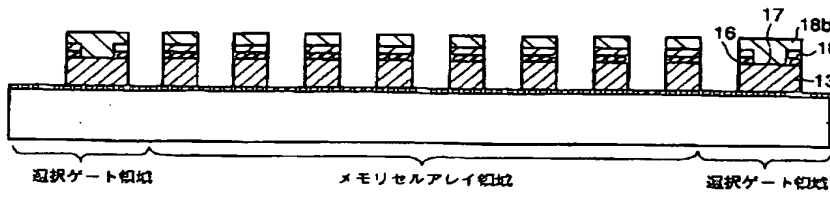
【図 12】



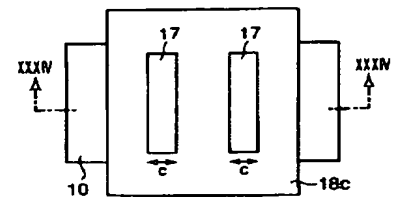
【図 13】



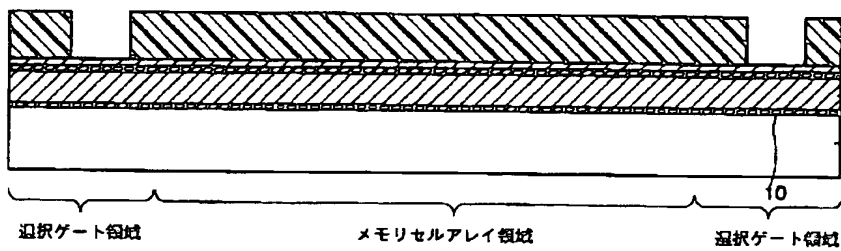
【図14】



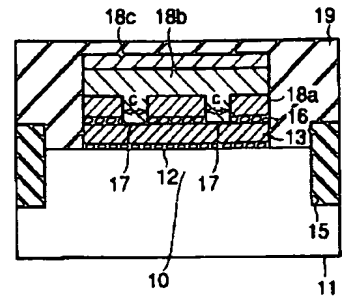
【図33】



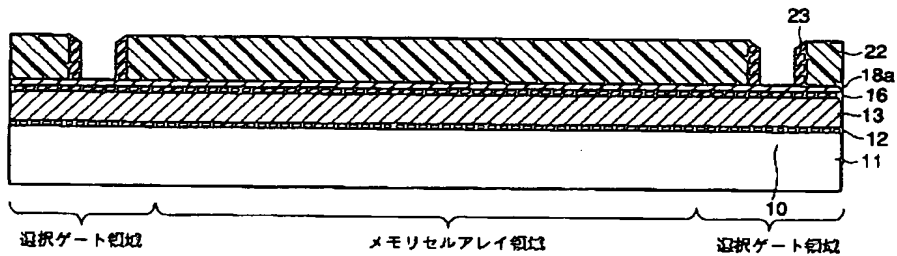
【図15】



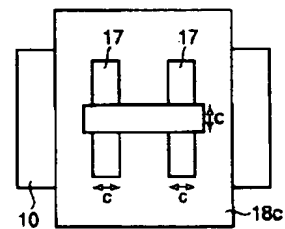
【図34】



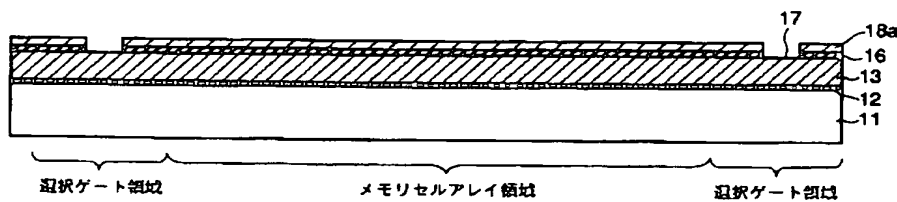
【図16】



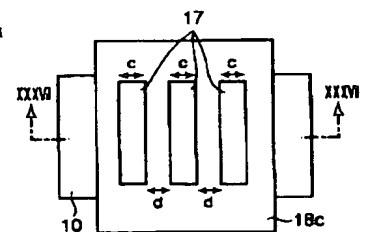
【図35】



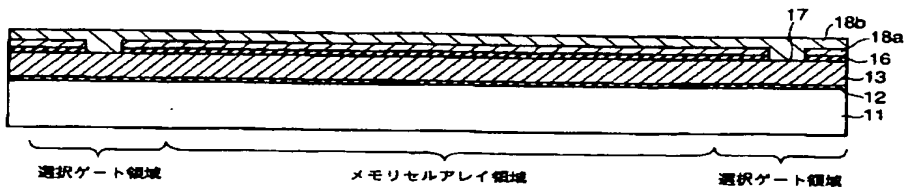
【図17】



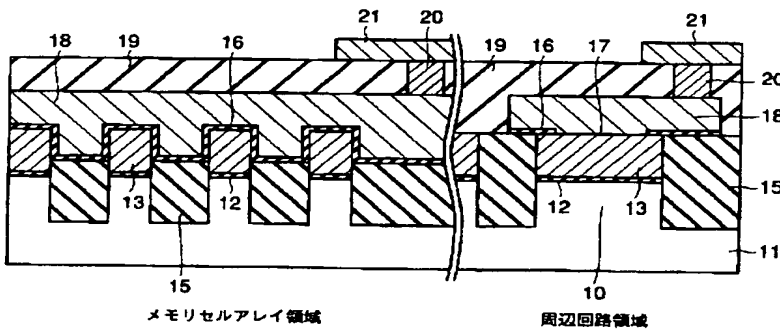
【図36】



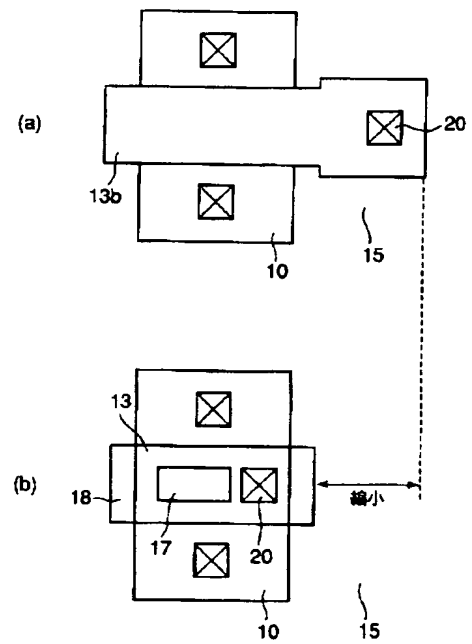
【図 18】



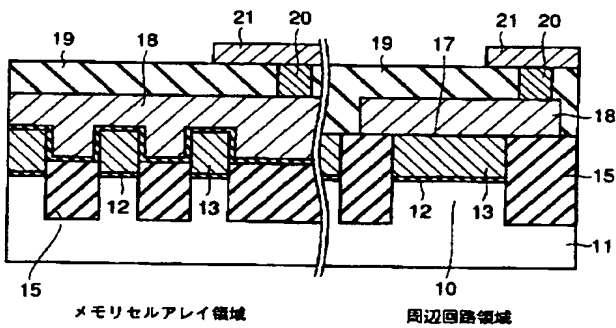
【図 21】



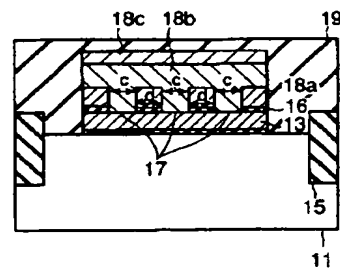
【図 26】



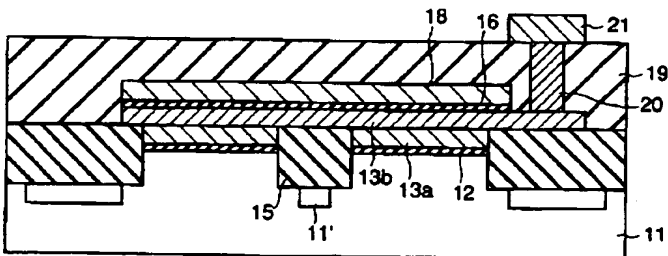
【図 22】



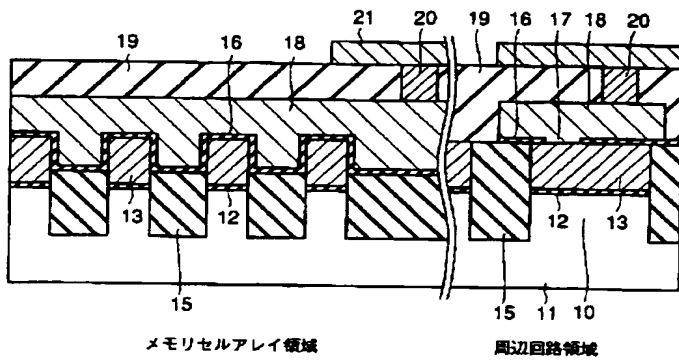
【図 37】



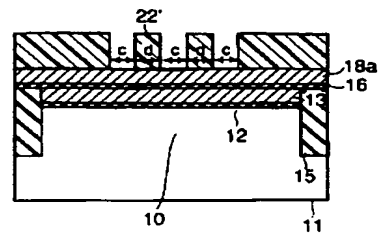
【図 27】



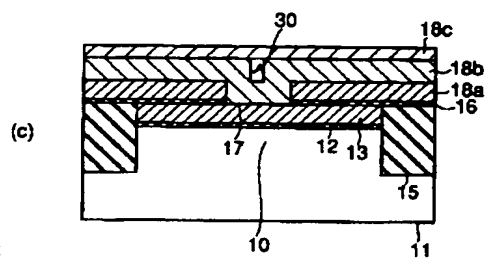
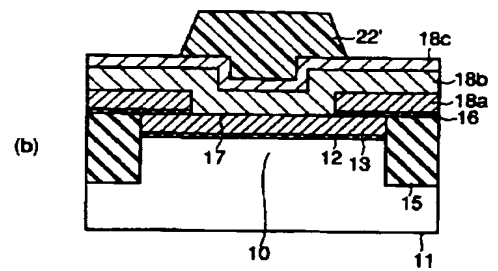
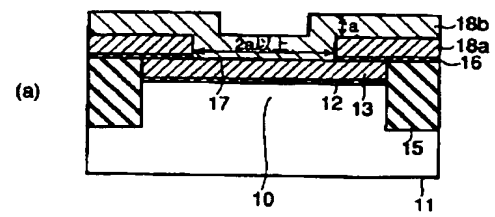
【図 25】



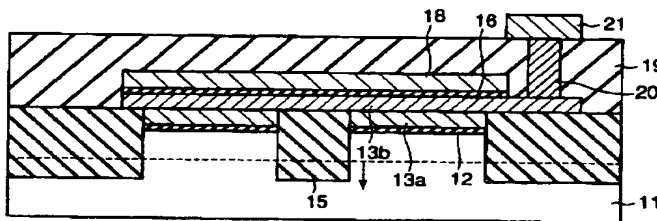
【図 38】



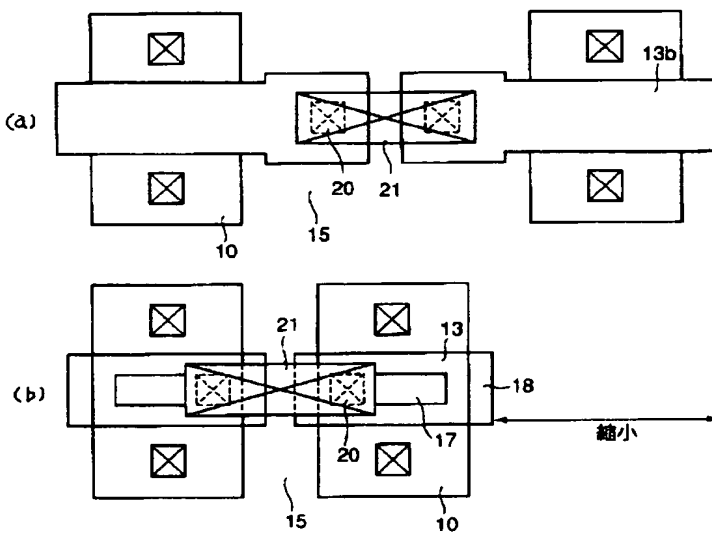
【図 42】



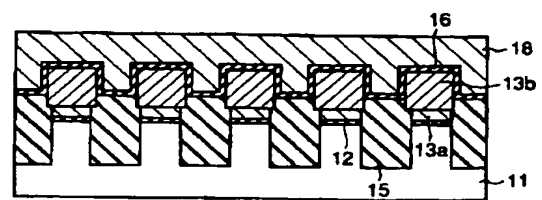
【図 28】



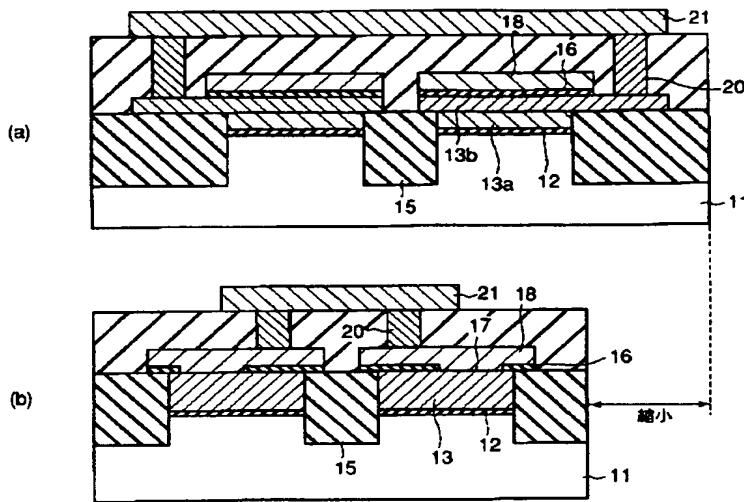
【図 29】



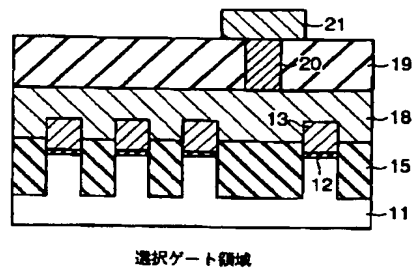
【図 45】



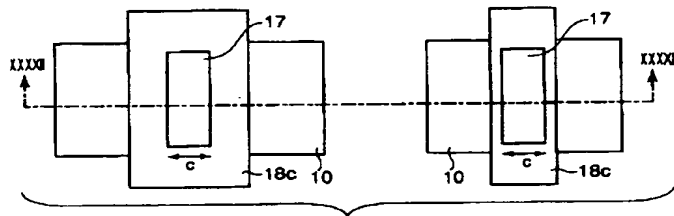
【図 30】



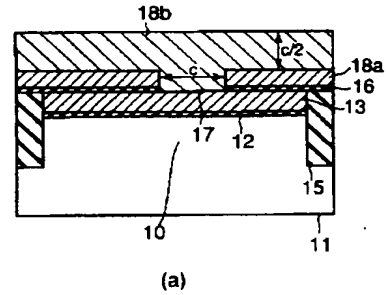
【図 50】



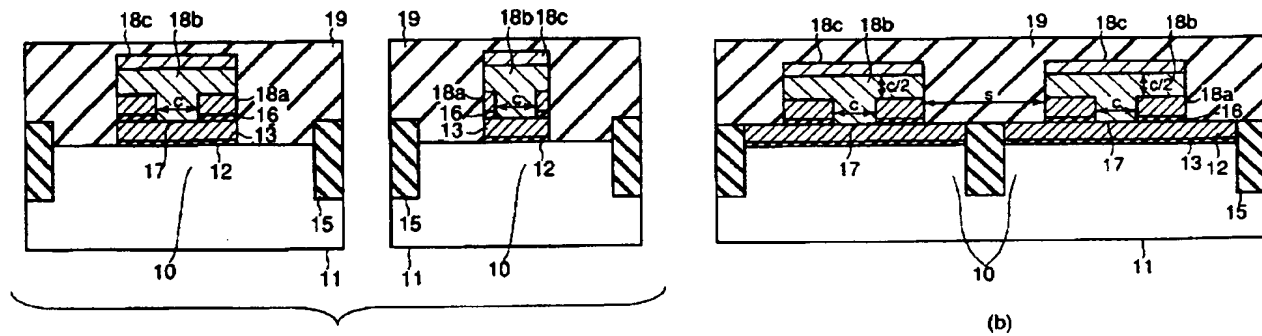
【図 31】



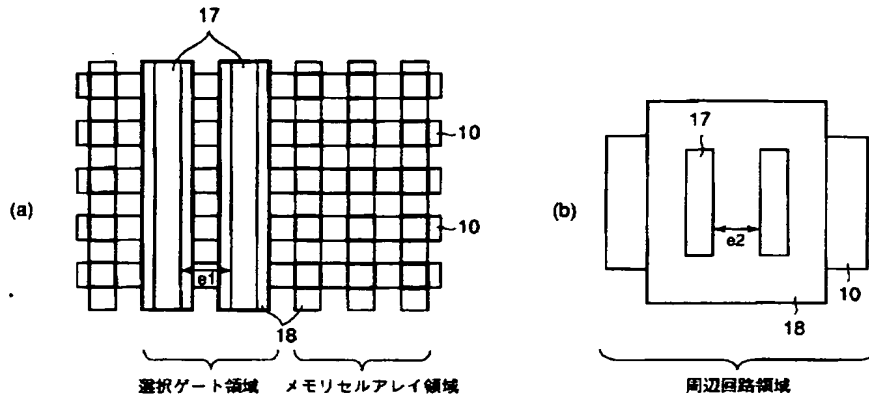
【図 41】



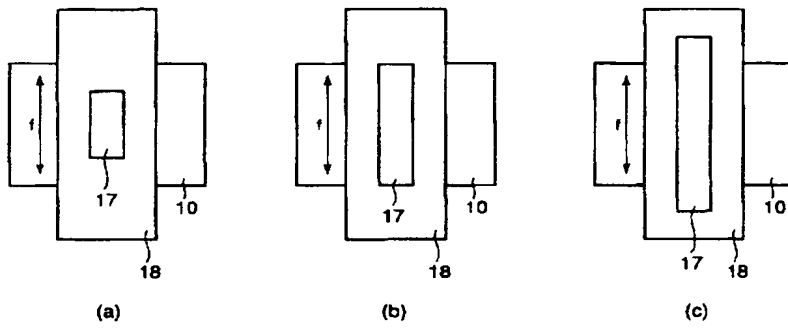
【図 32】



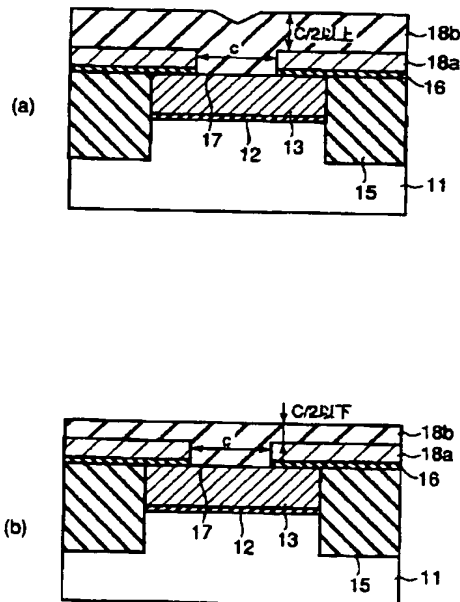
【図 39】



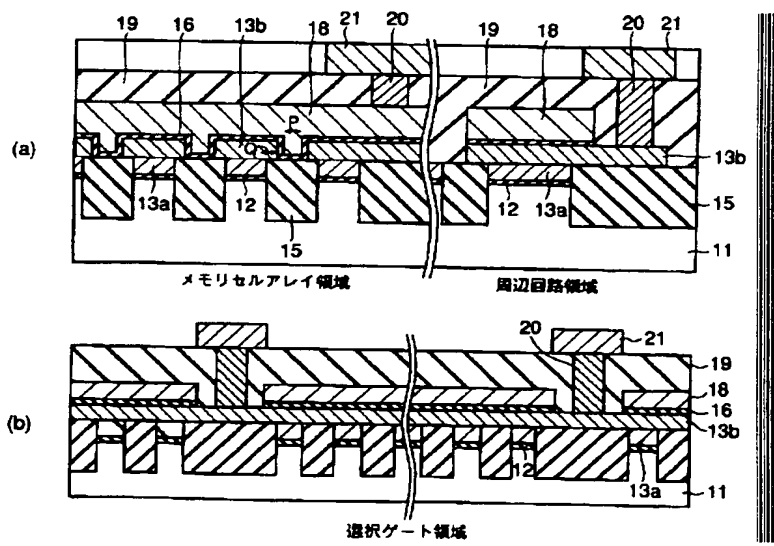
【図 40】



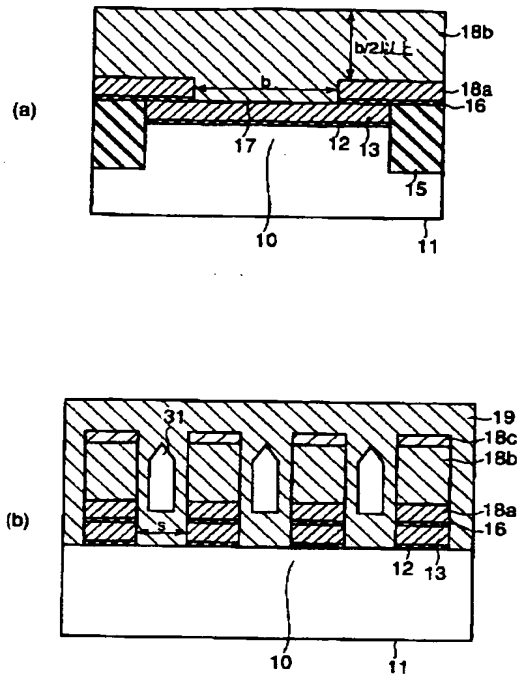
【図 44】



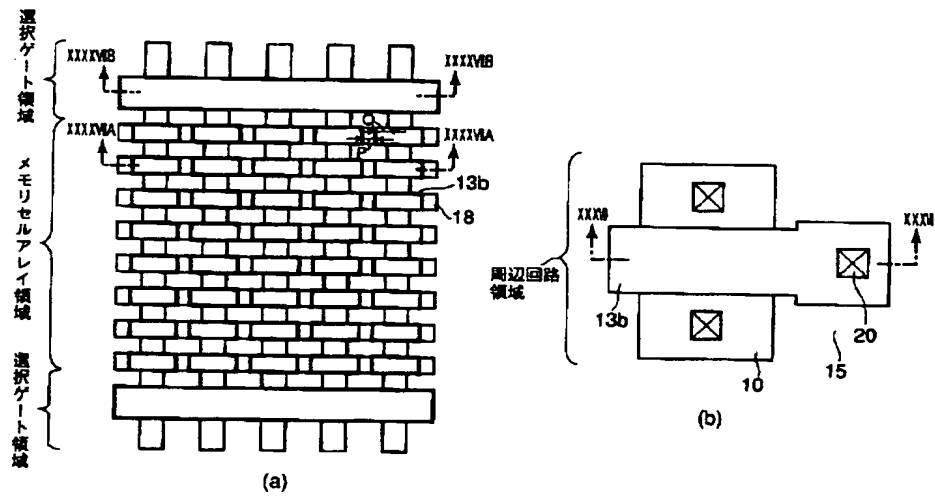
【図 47】



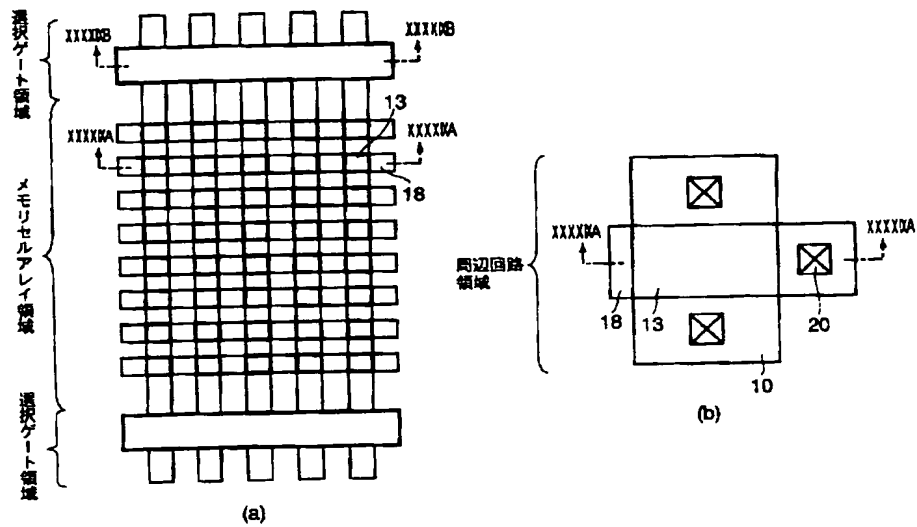
【図 4 3】



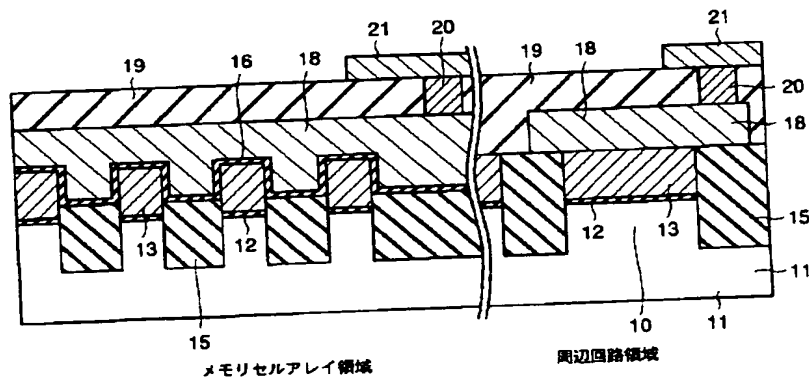
【図 4 6】



【図 48】



【図 49】



フロントページの続き

- (72) 発明者 白田 理一郎
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内
- (72) 発明者 竹内 祐司
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内
- (72) 発明者 上垣内 岳司
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

Fターム(参考) 5F083 EP02 EP05 EP23 EP32 EP33
EP34 EP42 EP55 EP56 EP76
GA02 GA09 JA04 JA35 JA39
JA40 MA05 MA16 NA01 NA06
PR09 PR21 PR39 PR43 PR44
PR53 PR54
5F101 BA29 BA36 BB02 BC01 BD34
BD35 BF08 BH02 BH21